

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-160828

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08		7623-5B	G 0 6 F 12/08	G
	3 1 0	7623-5B		3 1 0 Z

審査請求 未請求 請求項の数40 O L (全 30 頁)

(21) 出願番号 特願平7-318414

(22) 出願日 平成7年(1995)12月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 清水 昌幸

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 真田 有

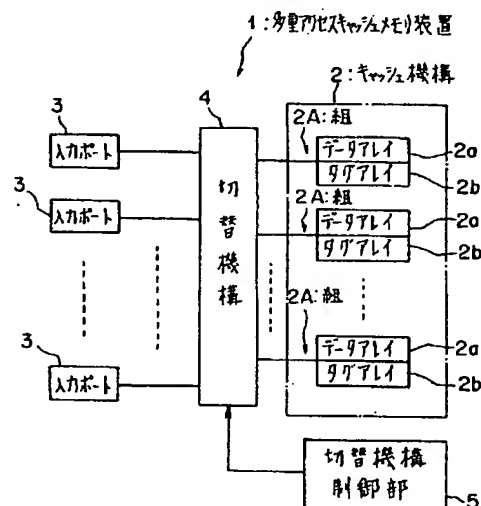
(54) 【発明の名称】 多重アクセス方法および多重アクセスキャッシュメモリ装置

(57) 【要約】

【課題】 プロセッサと記憶装置との間に設けられるキャッシュメモリ装置において、ハードウェア量の増加を抑え、且つ、出来るだけ処理の高速化をはかりながら、多重アクセスを可能にする。

【解決手段】 アクセス対象データを保持するデータアレイ2aと、このデータアレイ2aに保持されているデータを特定するためのタグ情報を保持するタグアレイ2bとの組2Aを複数そなえて構成されるキャッシュ機構2に対する多重アクセス方法であって、2以上のアクセス要求を受け付けた場合、複数の組2Aを相互に重なり合わない2以上の部分集合に分割し、各アクセス要求に伴うアクセス対象データ指定情報を、それぞれ、各部分集合に供給して各アクセス要求に応じたアクセスを並列的に実行するように構成する。

本発明の多重アクセスキャッシュメモリ装置を示す原理ブロック図



【特許請求の範囲】

【請求項1】 アクセス対象データを保持するデータアレイと該データアレイのデータを特定するタグ情報を保持するタグアレイとの組を複数そなえた記憶階層に対する多重アクセス方法であって、

複数のアクセス要求を受け付けた場合、該複数の組を相互に重なり合わない複数の部分集合に分割し、各アクセス要求に伴うアクセス対象データ指定情報を、それぞれ、前記の各部分集合に供給して各アクセス要求に応じたアクセスを実行することを特徴とする、多重アクセス方法。

【請求項2】 単一のアクセス要求を受け付けた場合には、当該単一のアクセス要求に伴うアクセス対象データ指定情報を該複数の組の全てに供給して当該単一のアクセス要求に応じたアクセスを実行することを特徴とする、請求項1記載の多重アクセス方法。

【請求項3】 該記憶階層をセットアソシアティブ方式によって動作するキャッシュ機構とし、前記の各組をウェイとして取り扱うことを特徴とする、請求項1または請求項2に記載の多重アクセス方法。

【請求項4】 各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、

当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組に供給して当該アクセス要求に応じたアクセスを実行することを特徴とする、請求項1～請求項3のいずれかに記載の多重アクセス方法。

【請求項5】 各アクセス要求に応じたアクセスを各部分集合において実行した後、当該アクセス要求のアクセス対象データが当該部分集合に該データアレイに保持されているか否かが判明する前に、

当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組に供給して当該アクセス要求に応じたアクセスを実行することを特徴とする、請求項1～請求項3のいずれかに記載の多重アクセス方法。

【請求項6】 当該アクセス要求のアクセス対象データが該複数の組の全てにおける該データアレイのいずれにも保持されていないことが判明した時点で、当該アクセス要求は該記憶階層に対してミスヒットしたものと判定し、当該アクセス要求に伴うアクセス対象データ指定情報に基づいて記憶装置から該当するデータを読み出して該記憶階層に書き込むことを特徴とする、請求項4または請求項5に記載の多重アクセス方法。

【請求項7】 前記の各組に格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組に、ミスヒット判定に伴って該記憶装置から読み出されたデータを書き込むことを特徴とする、請求

項6記載の多重アクセス方法。

【請求項8】 該記憶階層の各組に対して、アクセス要求元情報に応じたデータ格納優先度を予め設定・付与しておくことを特徴とする、請求項6記載の多重アクセス方法。

【請求項9】 ミスヒット判定されたアクセス要求のアクセス要求元情報について各組に対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組に、ミスヒット判定に伴って該記憶装置から読み出されたデータを優先的に書き込むことを特徴とする、請求項8記載の多重アクセス方法。

【請求項10】 前記データ格納優先度の高い組にデータを書き込むための空きが無い場合、前記データ格納優先度に関係無く空きのある他の組に前記データを書き込むことを特徴とする、請求項9記載の多重アクセス方法。

【請求項11】 該複数の組の全てにデータを書き込むための空きが無い場合、前記データ格納優先度の高い組に前記データを書き込むことを特徴とする、請求項10記載の多重アクセス方法。

【請求項12】 前記の各組に格納されているデータに対する最終アクセス時刻を参照し、前記データ格納優先度の高い組に最新のデータが格納されている場合には、最も古いデータを保持している組に前記データを書き込むことを特徴とする、請求項11記載の多重アクセス方法。

【請求項13】 該複数の組の全てにデータを書き込むための空きが無い場合、前記の各組に格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組に前記データを書き込むように制御することを特徴とする、請求項10記載の多重アクセス方法。

【請求項14】 受け付けたアクセス要求のアクセス要求元情報について各組に対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組を含む部分集合に、当該アクセス要求に伴うアクセス対象データ指定情報を優先的に供給して当該アクセス要求に応じたアクセスを実行することを特徴とする、請求項8～請求項13のいずれかに記載の多重アクセス方法。

【請求項15】 該記憶階層に対するアクセスを行なう少なくとも1つのプロセッサにより実行されるプロセス毎にプロセス識別子が設定され、該プロセス識別子が前記アクセス要求元情報として用いられることを特徴とする、請求項8～請求項14のいずれかに記載の多重アクセス方法。

【請求項16】 該記憶階層に対するアクセスを行なう少なくとも1つのプロセッサにより処理されるスレッド毎にスレッド識別子が設定され、該スレッド識別子が前記アクセス要求元情報として用いられることを特徴とする、請求項8～請求項14のいずれかに記載の多重ア

10

20

30

40

50

セス方法。

【請求項17】 該記憶階層に対するアクセスを行なうプロセッサが複数存在する場合に、各プロセッサを特定する情報が前記アクセス要求元情報として用いられることを特徴とする、請求項8～請求項14のいずれかに記載の多重アクセス方法。

【請求項18】 アクセス要求に伴うアクセス対象データ指定情報としてのアドレスが前記アクセス要求元情報として用いられることを特徴とする、請求項8～請求項14のいずれかに記載の多重アクセス方法。

【請求項19】 該記憶階層の所定の組に格納されているデータを、該記憶階層の他の組に移動させることを特徴とする、請求項14記載の多重アクセス方法。

【請求項20】 該複数の組の全てにおける該タグアレイの写しである複写タグアレイをそなえ、各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、

当該部分集合に含まれない組についての該複写タグアレイに保持されるタグ情報と当該アクセス要求に伴うアクセス対象データ指定情報とに基づいて、当該アクセス要求のアクセス対象データを保持している組が存在するかどうかを判定し、該当する組が存在する場合にはその組を特定することを特徴とする、請求項1～請求項3のいずれかに記載の多重アクセス方法。

【請求項21】 複数の記憶階層からなる情報処理装置において、アクセス対象データを保持するデータアレイと該データアレイのデータを特定するタグ情報を保持するタグアレイとの組を複数そなえて構成されるキャッシュ機構と、

複数のアクセス要求を同時に受け付けるための複数の入力ポートと、

該複数の入力ポートと該キャッシュ機構との間に介設され、各入力ポートから前記アクセス要求に伴って入力されるアクセス対象データ指定情報を、該キャッシュ機構において該データアレイと該タグアレイとの組に対し、選択的に切り替えて供給するための切替機構と、

該複数の入力ポートにより2以上のアクセス要求を受け付けた場合、該複数の組を相互に重なり合わない2以上の部分集合に分割し、各アクセス要求に伴うアクセス対象データ指定情報を、それぞれ、前記の各部分集合に供給して各アクセス要求に応じたアクセスを並列的に実行するように該切替機構の切替状態を制御する切替機構制御部とをそなえたことを特徴とする、多重アクセスキャッシュメモリ装置。

【請求項22】 該複数の入力ポートのうちの1つにより単一のアクセス要求を受け付けた場合、該切替機構制御部が、当該単一のアクセス要求に伴うアクセス対象データ指定情報を該複数の組の全てに供給して当該単一の

アクセス要求に応じたアクセスを実行するように該切替機構の切替状態を制御することを特徴とする、請求項21記載の多重アクセスキャッシュメモリ装置。

【請求項23】 該キャッシュ機構をセットアソシアティブ方式によって動作するものとし、前記の各組をウェイとして取り扱うことを特徴とする、請求項21または請求項22に記載の多重アクセスキャッシュメモリ装置。

【請求項24】 各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、

該切替機構制御部が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組に供給して当該アクセス要求に応じたアクセスを実行するように該切替機構の切替状態を制御することを特徴とする、請求項21～請求項23のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項25】 各アクセス要求に応じたアクセスを各部分集合において実行した後、当該アクセス要求のアクセス対象データが当該部分集合に保持されているかどうかを判明する前に、

該切替機構制御部が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組に供給して当該アクセス要求に応じたアクセスを実行するように該切替機構の切替状態を制御することを特徴とする、請求項21～請求項23のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項26】 当該アクセス要求のアクセス対象データが該複数の組の全てにおける該データアレイのいずれにも保持されていないことが判明した時点で、当該アクセス要求は該キャッシュ機構に対してミスヒットしたものと判定し、当該アクセス要求に伴うアクセス対象データ指定情報に基づいて記憶装置から該当するデータを読み出して該キャッシュ機構に書き込むように制御するキャッシュ機構制御部をそなえたことを特徴とする、請求項24または請求項25に記載の多重アクセスキャッシュメモリ装置。

【請求項27】 該キャッシュ機構制御部が、前記の各組に格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組に、ミスヒット判定に伴って該記憶装置から読み出されたデータを書き込むように制御することを特徴とする、請求項26記載の多重アクセスキャッシュメモリ装置。

【請求項28】 該キャッシュ機構の各組に対して、アクセス要求元情報に応じたデータ格納優先度を予め設定・付与するための優先度付与機能をそなえたことを特徴とする、請求項26記載の多重アクセスキャッシュメモリ装置。

【請求項29】 該キャッシュ機構制御部が、ミスヒッ

ト判定されたアクセス要求のアクセス要求元情報について該優先度付与機能により各組に対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組に、ミスヒット判定に伴って該記憶装置から読み出されたデータを優先的に書き込むように制御することを特徴とする、請求項28記載の多重アクセスキャッシュメモリ装置。

【請求項30】 前記データ格納優先度の高い組にデータを書き込むための空きが無い場合、該キャッシュ機構制御部が、前記データ格納優先度に関係無く空きのある他の組に前記データを書き込むように制御することを特徴とする、請求項29記載の多重アクセスキャッシュメモリ装置。

【請求項31】 該複数の組の全てにデータを書き込むための空きが無い場合、該キャッシュ機構制御部が、前記データ格納優先度の高い組に前記データを書き込むように制御することを特徴とする、請求項30記載の多重アクセスキャッシュメモリ装置。

【請求項32】 該キャッシュ機構制御部が、前記の各組に格納されているデータに対する最終アクセス時刻を参照し、前記データ格納優先度の高い組に最新のデータが格納されている場合には、最も古いデータを保持している組に前記データを書き込むように制御することを特徴とする、請求項31記載の多重アクセスキャッシュメモリ装置。

【請求項33】 該複数の組の全てにデータを書き込むための空きが無い場合、該キャッシュ機構制御部が、前記の各組に格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組に前記データを書き込むように制御することを特徴とする、請求項30記載の多重アクセスキャッシュメモリ装置。

【請求項34】 該切替機構制御部が、該複数の入力ポートにより受け付けられたアクセス要求のアクセス要求元情報について、該優先度付与機能により各組に対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組を含む部分集合に、当該アクセス要求に伴うアクセス対象データ指定情報を優先的に供給して当該アクセス要求に応じたアクセスを実行するように該切替機構の切替状態を制御することを特徴とする、請求項28～請求項33のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項35】 該キャッシュ機構に対するアクセスを行なう少なくとも1つのプロセッサにより実行されるプロセス毎にプロセス識別子が設定され、該プロセス識別子が前記アクセス要求元情報として用いられることを特徴とする、請求項28～請求項34のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項36】 該キャッシュ機構に対するアクセスを行なう少なくとも1つのプロセッサにより処理されるスレッド毎にスレッド識別子が設定され、該スレッド識別

子が前記アクセス要求元情報として用いられることを特徴とする、請求項28～請求項34のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項37】 該キャッシュ機構に対するアクセスを行なうプロセッサが複数存在する場合に、各プロセッサを特定する情報が前記アクセス要求元情報として用いられることを特徴とする、請求項28～請求項34のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項38】 アクセス要求に伴うアクセス対象データ指定情報としてのアドレスが前記アクセス要求元情報として用いられることを特徴とする、請求項28～請求項34のいずれかに記載の多重アクセスキャッシュメモリ装置。

【請求項39】 該キャッシュ機構の所定の組に格納されているデータを、該キャッシュ機構の他の組に移動させる移動指示機能をそなえたことを特徴とする、請求項34記載の多重アクセスキャッシュメモリ装置。

【請求項40】 該複数の組の全てにおける該タグアレイの写しである複写タグアレイを有してなるスヌープ機構をそなえ、

各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、

該スヌープ機構が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組に供給し、その組の該複写タグアレイに保持されるタグ情報と前記アクセス対象データ指定情報とに基づいて、当該アクセス要求のアクセス対象データを保持している組が存在するか否かを判定し、該当する組が存在する場合にはその組を特定することを特徴とする、請求項21～請求項23のいずれかに記載の多重アクセスキャッシュメモリ装置。

【発明の詳細な説明】

【0001】 (目次)

発明の属する技術分野

従来の技術 (図29、図30)

発明が解決しようとする課題

課題を解決するための手段 (図1～図18)

発明の実施の形態

(a) 第1実施形態の説明 (図19～図24)

(b) 第2実施形態の説明 (図25～図28、図31)

発明の効果

【0002】

【発明の属する技術分野】 本発明は、複数の記憶階層からなる情報処理装置において、データアレイとタグアレイとの組を複数そなえた記憶階層に対して行なわれる多重アクセス方法に関し、さらに言えば、情報処理装置においてデータ読出を高速に行なうべく、プロセッサと記憶装置との間に設けられるキャッシュメモリ装置に適用

される技術に関し、特に、多重アクセスを可能にした、多重アクセス方法および多重アクセスキャッシュメモリ装置に関する。

【0003】

【従来の技術】従来、セットアソシアティブ方式のキャッシュメモリに対して、複数のアクセス（多重アクセス）を同時に可能にするためには、多くのハードウェア量を必要としている。例えば、特開昭64-23354号公報に開示されている技術では、キャッシュメモリ（バッファ記憶装置）そのものを複数そなえており、キャッシュメモリ間で共有している内容に対して書込要求があった場合、その内容を共有する全てのキャッシュメモリに書込を行なっている。この技術の他にも種々のプロトコルが知られている。これらの技術では、いずれも、キャッシュメモリそのものを複数そなえているため、ハードウェア量が極めて大きくなっている。

【0004】特開平1-280860号公報に開示されている技術では、キャッシュメモリをマルチポートのメモリにより構成することで多重アクセスを可能にしている。この技術でも、ゲート数が多く、ハードウェア量は極めて大きい。また、このメモリが高速動作にあまり適していないという課題もある。特開平4-199242号公報では、各ウェイトに含まれているアドレスレイのみを多重化したキャッシュメモリ装置も開示されている。このキャッシュメモリ装置では、図29(a),

(b)に示すように、2つのアドレスレイ（タグレイ）100A, 100Bがそなえられている。これらのアドレスレイ100A, 100Bの内容は、一方のレイの内容の写しであり、全く同一のものである。

【0005】なお、ここでは、4ウェイトのセットアソシアティブ方式のものが示されており、アドレスレイ100A, 100Bはウェイト毎に分割されている。また、図30に示すように、データレイ102もウェイト毎に読出/書込できるように分割されており、これらのデータレイ102は、2つのアドレスレイ100A, 100Bによって共有されている。

【0006】このようなキャッシュメモリ装置では、第1ステップとして、図29(a), (b)に示すように、2つのアクセスA, Bが同時に受け付けると、各アクセスA, Bに付された実アドレスの一部によりアドレスレイ100A, 100Bをそれぞれ索引し、その索引結果が得られた場合、その索引結果（実アドレス）と各アクセスA, Bとともに送られてきた実アドレスとを、それぞれ比較器101A, 101Bにより比較し、各アクセスA, Bの対象となるデータの存在するレベル（記憶階層、ウェイト）を決定する。

【0007】比較器101A, 101Bによる比較の結果得られたレベル（ウェイト）が同一でなければ、第2ステップとして、図30に示すように、異なるレベル（ウェイト）のデータレイ102に存在するデータ（DAT

A1, DATA3)に対して多重アクセスを行なっている。しかし、このようなキャッシュメモリ装置でも、アドレスレイ100A, 100Bを多重化するためにハードウェア量は大きなものになる。また、レベル（ウェイト）を決定してからでないとデータレイに対するアクセスを行なえない、つまり、アドレスレイ100A, 100Bのアクセスとデータレイ102（図30参照）のアクセスとを同時に行なうことができず、多重アクセス処理を高速化できないという課題が存在する。

【0008】

【発明が解決しようとする課題】上述したように、キャッシュメモリに対する多重アクセスを可能にするための従来の手法では、ハードウェア量の増大を招くほか、多重アクセス処理を高速化できないという課題があった。本発明は、このような課題に鑑み創案されたもので、ハードウェア量の増加を抑え、且つ、出来るだけ処理の高速化をはかりながら、多重アクセスを可能にした、多重アクセス方法および多重アクセスキャッシュメモリ装置を提供することを目的とする。

【0009】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1に示すように、本発明の多重アクセスキャッシュメモリ装置1は、キャッシュ機構2、入力ポート3、切替機構4および切替機構制御部5を有して構成されている。ここで、キャッシュ機構2は、アクセス対象データを保持するデータレイ2aと、このデータレイ2aに保持されているデータを特定するためのタグ情報を保持するタグレイ2bとの組2Aを複数そなえて構成されている。

【0010】入力ポート3は複数そなえられ、これらの入力ポート3により、複数のアクセス要求を同時に受け付けることができるようになっている。切替機構4は、複数の入力ポート3とキャッシュ機構4との間に介設され、各入力ポート3からアクセス要求に伴って入力されるアクセス対象データ指定情報（アドレスやその他の識別子等）を、キャッシュ機構2において組2A毎にそなえられたデータレイ2aとタグレイ2bとの組に対し、選択的に切り替えて供給するためのものである。

【0011】切替機構制御部5は、複数の入力ポート3により2以上のアクセス要求を受け付けた場合、複数の組2Aを相互に重なり合わない2以上の部分集合に分割し、各アクセス要求に伴うアクセス対象データ指定情報を、それぞれ、各部分集合に供給して各アクセス要求に応じたアクセスを並列的に実行するように切替機構4の切替状態を制御するものである（請求項21, 1）。

【0012】複数の入力ポート3のうちの1つにて単一のアクセス要求を受け付けた場合、切替機構制御部5が、当該単一のアクセス要求に伴うアクセス対象データ指定情報を全ての組2Aに供給して当該単一のアクセス要求に応じたアクセスを実行するように切替機構4の切

替状態を制御する（請求項22, 2）。このとき、キャッシュ機構2をセットアソシアティブ方式によって動作するものとし、各組2Aをウェイとして取り扱ってもよい（請求項23, 3）。

【0013】各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、切替機構制御部5が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組2Aに供給して当該アクセス要求に応じたアクセスを実行するように切替機構4の切替状態を制御する（請求項24, 4）。

【0014】なお、各アクセス要求に応じたアクセスを各部分集合において実行した後、当該アクセス要求のアクセス対象データが当該部分集合に保持されているか否かが判明する前に、切替機構制御部5が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組2Aに供給して当該アクセス要求に応じたアクセスを実行するように切替機構4の切替状態を制御するように構成してもよい（請求項25, 5）。

【0015】当該アクセス要求のアクセス対象データが全ての組2Aにおけるデータアレイ2aのいずれにも保持されていないことが判明した時点で、当該アクセス要求はキャッシュ機構2に対してミスヒットしたものと判定し、当該アクセス要求に伴うアクセス対象データ指定情報に基づいて記憶装置から該当するデータを読み出してキャッシュ機構2に書き込むように制御するキャッシュ機構制御部をそなえておく（請求項26, 6）。

【0016】このとき、キャッシュ機構制御部が、各組2Aに格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組2Aに、ミスヒット判定に伴って記憶装置から読み出されたデータを書き込むように制御するようにしてもよい（請求項27, 7）。キャッシュ機構2の各組2Aに対して、アクセス要求元情報に応じたデータ格納優先度を予め設定・付与するための優先度付与機能をそなえてもよい（請求項28, 8）。

【0017】この場合、キャッシュ機構制御部が、ミスヒット判定されたアクセス要求のアクセス要求元情報について優先度付与機能により各組2Aに対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組2Aに、ミスヒット判定に伴って記憶装置から読み出されたデータを優先的に書き込むように制御する（請求項29, 9）。データ格納優先度の高い組2Aにデータを書き込むための空きが無い場合、キャッシュ機構制御部が、データ格納優先度に関係無く空きのある他の組2Aに前記データを書き込むように制御する（請求項30, 10）。また、全組2Aにデータを書き込むための空きが無い場合、キャッシュ機構制御部が、データ格納優先度の高い組2Aに前記データを書き込むように

制御する（請求項31, 11）。さらに、キャッシュ機構制御部が、各組2Aに格納されているデータに対する最終アクセス時刻を参照し、データ格納優先度の高い組2Aに最新のデータが格納されている場合には、最も古いデータを保持している組2Aに前記データを書き込むように制御してもよい（請求項32, 12）。

【0018】なお、全ての組2Aにデータを書き込むための空きが無い場合、キャッシュ機構制御部が、各組2Aに格納されているデータに対する最終アクセス時刻を参照し、最も古いデータを保持している組2Aに前記データを書き込むように制御してもよい（請求項33, 13）。一方、切替機構制御部5が、複数の入力ポート3により受け付けられたアクセス要求のアクセス要求元情報について、優先度付与機能により各組2Aに対し予め設定されたデータ格納優先度を参照し、そのデータ格納優先度の高い組2Aを含む部分集合に、当該アクセス要求に伴うアクセス対象データ指定情報を優先的に供給して当該アクセス要求に応じたアクセスを実行するように切替機構4の切替状態を制御するように構成してもよい（請求項34, 14）。

【0019】上述のように、データ格納優先度を設定・付与する際に用いられるアクセス要求元情報としては、以下のようなものが用いられる。

①キャッシュ機構2に対するアクセスを行なう少なくとも1つのプロセッサにより実行されるプロセス毎に設定されるプロセス識別子（請求項35, 15）。

②キャッシュ機構2に対するアクセスを行なう少なくとも1つのプロセッサにより処理されるスレッド毎に設定されるスレッド識別子（請求項36, 16）。

【0020】③キャッシュ機構2に対するアクセスを行なうプロセッサが複数存在する場合に、各プロセッサを特定する情報（プロセッサ番号等；請求項37, 17）。

④アクセス要求に伴うアクセス対象データ指定情報としてのアドレス（請求項38, 18）。また、前述のごとく、切替機構制御部5により、データ格納優先度に応じて切替機構4の切替状態を制御する場合（請求項34, 14）、キャッシュ機構2の所定組2Aに格納されているデータを、キャッシュ機構2の他の組2Aに移動させる移動指示機能をそなえてもよい（請求項39, 19）。

【0021】さらに、全ての組2Aにおけるタグアレイ2bの写しである複写タグアレイを有してなるスヌープ機構をそなえ、各アクセス要求に応じたアクセスを各部分集合において実行した結果、アクセス対象データが当該部分集合に保持されていないことが判明したアクセス要求については、スヌープ機構が、当該アクセス要求に伴うアクセス対象データ指定情報を、当該部分集合に含まれない組2Aに供給し、その組2Aの複写タグアレイに保持されるタグ情報と前記アクセス対象データ指定情

報とに基づいて、当該アクセス要求のアクセス対象データを保持している組2Aが存在するか否かを判定し、該当する組2Aが存在する場合にはその組2Aを特定するように構成してもよい（請求項40, 20）。

【0022】次に、図2～図18を参照しながら、本発明による、キャッシュ機構2に対する多重アクセス方法の基本原則と多重アクセスキャッシュメモリ装置1の基本的動作とについて簡単に説明する。なお、図2～図18に示す例では、キャッシュ機構2が、セットアソシアティブ方式によって動作し、4つのウェイ（組）2A-1～2A-4からなり、各ウェイ2A-1～2A-4に、アクセス対象データを保持するデータアレイ2aと、このデータアレイ2aに保持されているデータを特定するためのタグ情報を保持するタグアレイ2bとの組をそなえて構成されているものとする（請求項3, 23）。

【0023】本発明は、2つ以上のウェイを2つ以上のグループに分割し、異なるグループに対して異なるアクセスを許し、同一のグループ内のウェイは単一のアクセスに対して応じるものである。例えば図2(a),

(b)に示すように、キャッシュ機構2に対する2つのアクセスA, Bを同時に要求された場合、後述するごとくヒット率が高くなるよう考慮しながら、ウェイ2A-1～2A-4を、ウェイ2A-1および2A-2のグループ（部分集合）とウェイ2A-3および2A-4のグループ（部分集合）とに分割する。

【0024】そして、切替機構制御部5により切替機構4の切替状態を制御し、各アクセスA, Bに伴うアクセス対象データ指定情報（例えばアドレス）を、それぞれ図2(a), (b)に示すように、各グループに供給してアクセスA, Bを並列的に実行する（請求項1, 21）。図3に示すように、単一のアクセス要求（アクセスA）しか存在しない場合には、切替機構制御部5により切替機構4の切替状態を制御することによりアクセスAに伴うアクセス対象データ指定情報を全てのウェイ2A-1～2A-4に供給し、全てのウェイ2A-1～2A-4を用いてアクセスAを実行する（請求項2, 22）。

【0025】図4に示すように、前述した切替機構4および切替機構制御部5の機能によって、アクセスAをウェイ2A-1～2A-3のグループで実行すると同時に、アクセスBをウェイ2A-4で実行し、アクセスAについてはウェイ2A-2でヒット（アクセス対象データがウェイ2A-2のデータアレイ2aに保持されている場合）し、アクセスBについてはウェイ2A-4でミスヒット（アクセス対象データがウェイ2A-4のデータアレイ2aに保持されていない場合）したものである。この場合、アクセスAは、ウェイ2A-2でヒットしたことにより、その処理を終了する一方、アクセスBは、ウェイ2A-4でミスヒットであったため、その処

理を継続する。

【0026】つまり、例えば図5に示すように、次に、前述した切替機構4および切替機構制御部5の機能によって、アクセスBをウェイ2A-4以外のウェイ2A-1, 2A-2のグループで実行する（請求項4, 24）。図5に示す例では、同時に、他のアクセスCを受け付けおり、このアクセスCをウェイ2A-3, 2A-4のグループで実行している。このとき、アクセスBはウェイ2A-1でヒットしたので、その処理を終了する。

【0027】また、アクセスCは、ウェイ2A-3, 2A-4でミスヒットしたため、その処理を継続し、図6に示すように、前述した切替機構4および切替機構制御部5の機能によって、アクセスCをウェイ2A-3, 2A-4以外のウェイ2A-1, 2A-2のグループで実行する。このアクセスCは、ウェイ2A-3, 2A-4でもミスヒットしたため、キャッシュ機構2における全ウェイ2A-1～2A-4でミスヒットしたことになり、キャッシュ機構2に対してミスヒットしたものと判定される。この場合、記憶装置（主記憶等のメモリ）に対するアクセス要求を行ない、そのアクセスCに伴うアクセス対象データ指定情報に基づいて記憶装置から該当するデータを読み出してキャッシュ機構2に書き込む（請求項6, 26）。

【0028】図4～図6に示すように、グループ毎にミスヒットが確定した後に、残りのウェイに対してのみアクセスを行なうことにより、トラフィック率を下げることができるが、ミスヒットが確定する前に、他のウェイに対してアクセスを先出しして高速処理を行なうこともできる（請求項5, 25）。なお、キャッシュ機構2に記憶装置からのデータを、各ウェイ2A-1～2A-4のうち最も古いデータを保持しているウェイに書き込むことにより、アクセス対象になる可能性の高い新しいデータを保持し続けることができる〔LRU (Least Recently Used)の採用；請求項7, 27〕。

【0029】また、予め設定・付与されたデータ格納優先度に従って、キャッシュ機構2の各ウェイ2A-1～2A-4に対する書込／読出アクセスを行なうことにより、ヒット率（特に、初回のアクセスに対するヒット率）を向上させることもできる（請求項8, 28）。データ格納優先度に従って、データ格納を行なう場合の例を図7～図14に示す。ここに示す例では、アクセスCがミスヒットであったため、主記憶等の記憶装置からの応答が有り、これをウェイ2A-1～2A-4のうちのいずれかに格納する必要が生じているものとする。また、アクセスCについては、優先度付与機能によりウェイ2A-3へデータを優先的に格納するようにデータ格納優先度が付与・設定されているものとする。

【0030】まず、キャッシュ機構制御部が、ウェイ2A-1～2A-4に対しアクセスして、アクセスCにつ

いて優先されるべきウェイ2A-3に空きがあるか否かを調べる。この過程は、全てのウェイ2A-1~2A-4に対して一度に行なっても分割して行なってもよい。図7に示すように優先すべきウェイ2A-3に空きがあった場合、図8に示すように、記憶装置からのデータをウェイ2A-3に格納する(請求項9, 29)。なお、ウェイ2A-3のデータアレイ2aにおいてデータを格納すべきエントリを指定するためのアドレスは、先に与えることもできるし、格納すべきウェイを決定した後に与えることもできる。

【0031】これに対し、図9に示すように、優先ウェイ2A-3に空きが無い場合には、図10に示すように他の空いているウェイ2A-1に対してデータの格納を行なう(請求項10, 30)。このとき、全てのウェイ2A-1~2A-4にデータを書き込むための空きが無い場合、LRU方式を採用し、最も古いデータを保持しているウェイにデータを書き込めば、アクセス対象になる可能性の高い新しいデータを保持し続けることができる(請求項13, 33)。

【0032】また、図11に示すように全てのウェイ2A-1~2A-4に対して空きが無い場合には、図12に示すように、優先ウェイ2A-3にデータを上書きして格納する(請求項11, 31)。さらに、図13に示すように全てのウェイ2A-1~2A-4に対して空きが無く、且つ、優先ウェイ2A-3に格納されているデータが最新のものである場合には、最新のデータに対しては今後直ちにアクセスする可能性が高いので、図14に示すように、LRU方式を組み合わせ、優先ウェイ2A-3に対するデータ書込を行なわず、最も古いデータを保持している他のウェイ2A-4にデータを格納する。これにより、最新のデータを保持し続けることができる(請求項12, 32)。

【0033】データ格納優先度を設定・付与する際に用いられるアクセス要求元情報の例を図15~図18に示す。前述したように、初回のアクセスに対するヒット率を向上させるために、格納されるウェイ2A-1~2A-4に対して優先度付けを行なうが、その際、図15に示すように、明示的にプロセス番号(プロセス識別子; 図中のプロセスA~C)を指示することによりウェイ2A-1~2A-4に対する優先度設定を行なったり(請求項15, 35)、図16に示すように、明示的にスレッド番号(スレッド識別子; 図中のスレッドA~C)を指示することによりウェイ2A-1~2A-4に対する優先度設定を行なったりする(請求項16, 36)。

【0034】また、複数のプロセッサをそなえている場合には、図17に示すように、プロセッサ番号(図中のプロセッサA~C)を指示することによりウェイ2A-1~2A-4に対する優先度設定を行なったりすることもできる(請求項17, 37)。さらに、プロセス番号等が明示されていない場合には、図18に示すように、

プロセスA~C毎にワーキングエリアを指定する上限ポイントA~C/下限ポイントA~Cを設けておき、アクセス対象データのアドレスと上限ポイントA~C/下限ポイントA~Cの指示アドレスとに基づいて、そのアドレスが、キャッシュ機構2のアドレス空間中のどのアドレス領域にあるかに従ってプロセス番号等を推定して、優先ウェイ2A-1~2A-4に対するデータ格納優先度を定めることもできる(請求項18, 38)。

【0035】例えば、図18では、上限ポイントAおよび下限ポイントAによりプロセスAのワーキングエリアが指定され、これらの上限ポイントAおよび下限ポイントAの指示値の間に存在するアドレスに対してアクセスが行なわれた場合には、そのアクセスは、プロセスAによるものと推定する。また、図18に示す例では、プロセスBのワーキングエリアとプロセスCのワーキングエリアとが重複しているが、このような場合、上限ポイントBおよび上限ポイントCの指示値の間に存在するアドレスに対してアクセスが行なわれた場合には、そのアクセスは、プロセスBによるものと推定する。上限ポイントCおよび下限ポイントBの指示値の間に存在するアドレスに対してアクセスが行なわれた場合には、そのアクセスは、プロセスB、Cのどちらとしても取り扱うことが可能であると判断する。さらに、下限ポイントBおよび下限ポイントCの指示値の間に存在するアドレスに対してアクセスが行なわれた場合には、そのアクセスは、プロセスCによるものと推定する。

【0036】このようにして推定したプロセスに基づいて、できるだけ重複しないように、各ウェイ2A-1~2A-4に対す優先度設定を行なう。なお、ここでは、アドレスに基づいてプロセスを推定しているが、プロセス番号、スレッド番号、プロセッサ番号等を推定し、前述と同様に優先度設定を行なうようにしてもよい。一方、前述したようにデータ格納優先度に応じたアクセスを行なう場合、あるウェイ(組)に格納されているデータを、そのデータに対してアクセスを行なう可能性の高いプロセス、スレッド、プロセッサ等のアクセス要求元情報について高いデータ格納優先度を設定されているウェイ(組)に移動させることにより、初回のアクセスのヒット率をより向上させることができる(請求項19, 39)。

【0037】さらに、初回のアクセスでミスヒットとなったアクセスについては、スヌープ機構における複写タグアレイを用いてアクセス対象データの存在を判定することにより、通常のアクセスとミスヒットしたアクセスについてのスヌープ処理とを並列的に行なうことができる(請求項20, 40)。なお、図2~図18にて説明した例では、キャッシュ機構2が4ウェイのセットアソシアティブ方式で動作するものとし、2つのアクセスが同時に要求される場合について説明しているが、本発明は、これらに限定されるものではない。

【0038】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

(a) 第1実施形態の説明

図19は本発明の第1実施形態を適用されるシステムの全体構成を示すブロック図であり、この図19に示すように、第1実施形態の多重アクセスキャッシュメモリ装置10は、例えばスーパスカラ方式のプロセッサ11に対して用いられている。

【0039】このプロセッサ11には、ロード/ストアパイプライン12A、12Bが独立に2つ設けられており、それぞれが独立のアドレスを同時にアクセスする能力を有している。これらの2つのパイプライン12A、12Bはいずれもデータをアクセスするために設けられているが、データのすれ違いを回避すべく同一データに対するアクセスは一度に1つのみを行なうためのチェックがプロセッサ11にて行なわれている。これに相当しないアクセス、つまり、異なるデータに対する2つのアクセスは同時に要求できるようになっている。

【0040】また、プロセッサ11は、命令をフェッチするためのユニット13を別に有しており、この命令フェッチユニット13は、多重アクセスキャッシュメモリ装置10ではなく、独立した命令キャッシュメモリ装置14に接続されている。さらに、プロセッサ11は、多重アクセスキャッシュメモリ装置10および命令キャッシュメモリ装置14を介し主記憶（記憶装置）15に接続されている。そして、プロセッサ11は、各キャッシュメモリ装置10、14に対してアクセスし、そのアクセス対象のデータが各キャッシュメモリ装置10、14に保持されている場合には、各キャッシュメモリ装置10、14に対して書込/読出等の処理を行なうようになっている。一方、そのアクセス対象のデータが各キャッシュメモリ装置10、14に保持されていない場合には、各キャッシュメモリ装置10、14が、主記憶15に対するアクセスを行ない、プロセッサ11のアクセス対象データを読み出すようになっている。

【0041】プロセッサ11は、通常、命令を書き替えながら実行するということはしないため、データのすれ違いがあっても問題としない。なお、命令書き替えを行なった場合には、全てのキャッシュメモリ装置10、14をフラッシュすることにより（即ち、必要なデータを全てキャッシュメモリ装置10、14から主記憶15に書き戻し、エントリを無効にすることにより）、データの一意性が保持されるようになっている。

【0042】さて、図20は、本発明の第1実施形態としての多重アクセスキャッシュメモリ装置10の全体構成を示すブロック図であり、この図20に示すように、第1実施形態の多重アクセスキャッシュメモリ装置10は、図22にて詳述するごとくウェイ40-1~40-4の集合を含むウェイ部21と、後述するような各種機

能を有しウェイ部21の動作を制御する制御部22とを有して構成されるほか、アドレス入力ポート23A、23B、データ入出力ポート24A、24B、制御線入出力ポート25A、25B、アドレス出力ポート26、データ入出力ポート27および制御線入出力ポート28を有している。

【0043】ここで、アドレス入力ポート23A、23B、データ入出力ポート24A、24B、制御線入出力ポート25A、25Bは、図19に示したプロセッサ11に接続され、このプロセッサ11からキャッシュメモリ装置10に対するアクセスの受付を行なうためのもので、2つのアクセスを同時に受け付けることができるように各ポートは2つずつそなえられている。

【0044】なお、以下の説明では、各ポート23A~25Aおよび23B~25Bにて受け付けられるアクセスを、それぞれアクセスAおよびアクセスBとして表現する場合がある。また、図20や図22中、アクセスA、Bに対応するポートや端子等に対応する部分には、それぞれ、符号“A”、“B”が付されている。アドレス出力ポート26、データ入出力ポート27および制御線入出力ポート28は、図19に示した主記憶15に接続され、主記憶15に対するアクセスを行なうためのものである。なお、図20中、主記憶15に接続されるポートには符号“E”が付されている。

【0045】ウェイ部21には、アドレス入力端子30A、30B、データ入出力端子31A、31B、タグ出力端子32、モードビット端子33およびコントロール端子34が設けられている。そして、アドレス入力端子30A、30Bおよびタグ出力端子32は、それぞれアドレス入力ポート23A、23Bおよびアドレス出力ポート26に直接的に接続されている。

【0046】タグ出力端子32は、ウェイ部21（キャッシュ機構40）内のデータを主記憶15に書き戻す際に、その書き戻し先のアドレスを、アドレス出力ポート26を通じて主記憶15へ出力するほか、ウェイ部21（キャッシュ機構40）でミスヒット判定された場合に、ミスヒットとなったアクセスについての対象データを主記憶15から読み出すべくその対象データを指定するアドレスを、アドレス出力ポート26を通じて主記憶15へ出力するためのものである。このタグ出力端子32からの出力は、前述のようなアドレスを出力しない場合には、ハイインピーダンスになっている。

【0047】また、データ入出力端子31Aは、データ入出力ポート24Aと主記憶15に対するデータ入出力ポート27とに、自由に切り替えられる双方向スイッチ29Aを介して接続されている。同様に、データ入出力端子31Bは、データ入出力ポート24Bと主記憶15に対するデータ入出力ポート27とに、自由に切り替えられる双方向スイッチ29Bを介して接続されている。なお、双方向スイッチ29A、29Bは、例えば図21

に示すように、3つの双方向素子29aを、三角形の各辺上に配置するような形で接続することにより構成されている。

【0048】制御線入出力ポート25A、25B、28、モードビット端子33およびコントロール端子34は、制御部22に接続されている。この制御部22は、制御線入出力ポート25A、25Bを通じてプロセッサ11との間でアクセスA、Bについての制御情報をやり取りするとともに、制御線入出力ポート28を通じて主記憶15との間でこの主記憶15に対するアクセスにつ

【0049】そして、制御部22は、ウェイ部21との間でコントロール端子34を介して各種制御信号をやり取りすることによりウェイ部21（図22にて後述するキャッシュ機構40、クロスバスイッチ41～43等）の状態を制御する機能を有するほか、図22にて後述するごとく、モードビット情報（後述するVALID、DIRTY、TIME等）を、各ウェイ40-1～40-4のデータアレイ40aにモードビット端子33を介して書き込んだり、そのデータアレイ40aからモードビ

【0050】また、本実施形態の制御部22は、切替機構制御部221およびキャッシュ機構制御部222として機能するほか、優先度付与機能223および移動指示機能224も有している。切替機構制御部221は、図22にて後述するクロスバスイッチ41～43の切替状態を制御するもので、その制御動作の詳細については後述する。

【0051】キャッシュ機構制御部222は、図22にて後述するキャッシュ機構40に対するアクセス（書込／読出）を制御する機能のほか、キャッシュ機構40に保持されているデータがプロセッサ11からのアクセスにより書き換えられた場合にそのデータの主記憶15への書き戻しを制御する機能や、キャッシュ機構40でミスヒットしたアクセスについて主記憶15に対するアクセスを実行して該当するデータを読み出しキャッシュ機構40に書き込むように制御する機能などを有している。

【0052】優先度付与機能223は、キャッシュ機構40の各ウェイ40-1～40-4に対して、アクセス要求元情報（プロセス番号、スレッド番号等）に応じたデータ格納優先度を予め設定・付与するためのものである。切替機構制御部221およびキャッシュ機構制御部222は、この優先度付与機能223により設定・付与されたデータ格納優先度と後述する比較器40cによる比較結果（ヒット／ミスヒット判定）とに従って制御動作を行なうようになっている。

【0053】移動指示機能224は、外部からの指示等を受けると、キャッシュ機構40の所定ウェイに格納さ

れているデータを、キャッシュ機構40の他のウェイに移動させるように指示をウェイ部21へ出力するためのものである。さて、ウェイ部21は、図22に示すごとく、キャッシュ機構40とクロスバスイッチ（切替機構）41～43とを有して構成されている。

【0054】キャッシュ機構40は、セットアソシアティブ方式によって動作する4ウェイ（組）40-1～40-4を有している。各ウェイ40-1～40-4には、アクセス対象データを保持するデータアレイ40aと、このデータアレイ40aに保持されているデータを特定するためのタグ情報を保持するタグアレイ40bとの組がそなえられるほか、比較器40cがそなえられている。この比較器40cは、後述するごとく、タグアレイ40bに保持されるタグ情報と、アドレス入力端子30Aまたは30Bからのアドレス（つまりアドレス入力ポート23Aまたは23Bで受け付けたアクセス要求に伴うアクセス対象データ指定情報）の一部とを比較するものである。

【0055】ここで、アドレス入力端子30Aまたは30Bからクロスバスイッチ41を介して各ウェイ40-1～40-4に入力されたアドレスの下位ビット（第1ビット列）は、データアレイ40aおよびタグアレイ40bに与えられ、特定のエントリを指定するために用いられる一方、同アドレスの上位ビット（第2ビット列）は比較器40cに与えられる。

【0056】データアレイ40aにデータが保持されている場合、タグアレイ40bにおいて、そのデータが保持されているデータアレイ40aのアドレス（第1ビット列）と同じアドレスに、そのデータを指定するアドレスの上位ビット（第2ビット列）がタグ情報として保持されている。従って、比較器40cにより、アクセス対象データ指定情報として入力されたアドレスの上位ビットと、そのアドレスの下位ビットによりタグアレイ40bから読み出されたタグ情報とを比較することで、そのアドレスに対応する目的データがデータアレイ40aに保持されているか否かを判定することができるようになっている。

【0057】つまり、アクセス対象データ指定情報として入力されたアドレスの上位ビットとタグアレイ40bからのタグ情報とが一致した場合には、そのアドレスに対応する目的データがデータアレイ40aに保持されていると判定（ヒット判定）される一方、一致していない場合には、そのアドレスに対応する目的データがデータアレイ40aに保持されていないと判定（ミスヒット判定）されるようになっている。

【0058】なお、各データアレイ40aには、データとともにモードビットが含まれており、そのモードビットには、VALIDビット、DIRTYビットおよびTIMEがある。これらのモードビットは、図20にて前述した通り、制御部22によりモードビット端子33を

10

20

30

40

50

介して書込・更新されるようになっている。ここで、初期化時には、VALIDビットを全て“0”にセットすることにより、当該データアレイ40aの全てのエントリを無効化する。また、DIRTYビットは、過去にデータに対する書込が行なわれたがその書込後のデータを主記憶15に書き戻していないため、エントリを無効化するには、そのデータを主記憶15に書き戻す必要がある場合に“1”にセットされるものである。TIMEは、そのデータアレイ40aに格納されているデータに対して最後にアクセスのあった時刻（最終アクセス時刻）を示すもので、データアレイ40aに対するアクセスが行なわれる度に制御部22により更新される。

【0059】一方、クロスバスイッチ41は、キャッシュ機構40に対してアドレス入力端子30A、30B（アドレス入力ポート23A、23B）からアクセス要求に伴って入力されたアドレス（アクセス対象データ指定情報）を各ウェイ40-1～40-4のデータアレイ40aおよびタグアレイ40bの組に対し選択的に切り替えて供給するためのものである。

【0060】このクロスバスイッチ41は、アドレス入力端子30Aからのアドレスをウェイ40-1～40-4にそれぞれ供給するための切替ポイント41A-1～41A-4と、アドレス入力端子30Bからのアドレスをウェイ40-1～40-4にそれぞれ供給するための切替ポイント41B-1～41B-4とにより構成されており、制御部22における切替機構制御部221により、各切替ポイント41A-1～41A-4および41B-1～41B-4がオン/オフ駆動されることで、クロスバスイッチ41の切替状態が制御されるようになっている。

【0061】また、クロスバスイッチ42は、データ入出力ポート24A、24Bまたは27から入力されたデータを、各ウェイ40-1～40-4のキャッシュ機構40のデータアレイ40bに対し選択的に切り替えて供給する一方、4つのウェイ40-1～40-4におけるデータアレイ40bのいずれか一つに保持されているデータを、データ入出力ポート24A、24Bまたは27へ選択的に切り替えて出力するためのものである。また、クロスバスイッチ42は、制御部22の移動指示機能224から、キャッシュ機構40に格納されているデータの移動が指示された場合に、移動元のウェイから移動先のウェイへとデータを出力するための機能を果たすものである。

【0062】このクロスバスイッチ42は、データ入出力端子31A（データ入出力ポート24Aまたは27）とウェイ40-1～40-4のデータアレイ40aとを接続するための切替ポイント42A-1～42A-4と、データ入出力端子31B（データ入出力ポート24Bまたは27）とウェイ40-1～40-4のデータアレイ40aとを接続するための切替ポイント42B-1

～42B-4とにより構成され、やはり、制御部22における切替機構制御部221により、各切替ポイント42A-1～42A-4および42B-1～42B-4がオン/オフ駆動されることで、クロスバスイッチ42の切替状態が制御されるようになっている。

【0063】さらに、クロスバスイッチ43は、アドレス入力端子30A、30Bから入力され各ウェイ40-1～40-4に供給されたアドレス、または、各ウェイ40-1～40-4においてタグアレイ40bから読み出されたアドレスを、アドレス出力ポート26へ選択的に切り替えて出力するためのものである。このクロスバスイッチ43は、ウェイ40-1～40-4へのアドレス線またはウェイ40-1～40-4のタグアレイ40bとタグ出力端子32（アドレス出力ポート26）とを接続するための切替ポイント43-1～43-4とにより構成されており、やはり、制御部22における切替機構制御部221により、各切替ポイント43-1～43-4がオン/オフ駆動されることで、クロスバスイッチ43の切替状態が制御されるようになっている。

【0064】上述したクロスバスイッチ43により、キャッシュ機構40内のデータを主記憶15に書き戻す際には、その書き戻し先のアドレスが、タグアレイ40bからアドレス出力ポート26を通じて主記憶15へ出力されるほか、キャッシュ機構40でミスヒット判定されたアクセスについての対象データを主記憶15から読み出すべく、その対象データを指定するアドレスが、アドレス出力ポート26を通じて主記憶15へ出力されるようになっている。

【0065】なお、図22においては、モードビット端子33と各データアレイ40aとの接続状態、および、コントロール端子34と各部（キャッシュ機構40やクロスバスイッチ41～43）との接続状態の図示は省略されている。次に、上述のごとく構成された第1実施形態の多重アクセスキャッシュメモリ装置10の動作（制御部22における切替機構制御部221、キャッシュ機構制御部222の制御動作等を含む）について説明する。

【0066】制御部22は、プロセッサ11から制御線入出力ポート25A、25Bを通じて様々な指示を受け取る。プロセッサ11は、メモリアクセスを実行する前に、例えばプロセスやスレッドの切り替え等が行なわれる度に、そのプロセスやスレッドの番号（識別子）を用いて優先すべきウェイを決定しプロセッサ11側のレジスタ（図示せず）に予め設定しておく。

【0067】メモリアクセスが生じた場合には、上記レジスタから優先ウェイに関する値が読み出されて制御線入出力ポート25Aまたは25Bを通じて制御部22に送られる。これによって、制御部22の優先度付与機能223は、そのアクセスAまたはBについて、優先すべきウェイを決定することができる。また、ハードウェア

量の増加を避けるために、アクセスAは必ずウェイ α (40-1)により優先的に取り扱うとともにアクセスポートBは必ずウェイ γ (40-3)で優先的に取り扱う等の決定を行なえるようにしてもよい。なお、以下の説明において、ウェイ40-1~40-4をそれぞれウェイ α , β , γ , δ として表記する場合がある。

【0068】また、コンパイルを行なう段階において、データの流れを予測できる場合には、ポート23A, 24A, 25Aにて受け付けられるアクセスAとポート23B, 24B, 25Bにて受け付けられるアクセスBとをどのように分割されたウェイグループ(部分集合)により実行するかを、全て決定することができる場合がある。このような場合には、以下に示すようなウェイ α ~ δ の動的な分割を行わず、制御線による静的な指示を用いてアクセスすべきウェイを決定する。

【0069】これに対して、キャッシュ機構40においてデータの存在するウェイの予想が全く立たない場合もある。このような場合には、その情報が制御線によって制御線入出力ポート25A, 25Bを通じて制御部22に送られ、この制御部22の切替機構制御部221によってクロスバスイッチ41の切替状態を制御することで、多重アクセスキャッシュメモリ装置10を、毎回、単一のアクセスのみを許すように動作させる(図3参照)。

【0070】以上のようにして、制御部22では、優先されるべきウェイが決定されるか、または、ウェイの動的な決定は必要無いかどうかが判断される。ついで、単一のアクセス要求があった場合の、本実施形態の多重アクセスキャッシュメモリ装置10の動作を説明する。今、アドレス入力ポート23Aに、アクセス要求(アクセスA)に伴うアドレスが入力されたものとする。この場合には、切替機構制御部221により、クロスバスイッチ41の切替ポイント41A-1, 41A-2, 41A-3, 41A-4がオン駆動されて、アクセスAに伴うアドレス(アクセス対象データ指定情報)をウェイ α , β , γ , δ に供給する。

【0071】このアドレスを用いて各ウェイ α , β , γ , δ において、前述した通り、データアレイ40aおよび、タグアレイ40bがアクセスされ、比較器40cによるタグの比較が行なわれる。その比較の結果、タグが一致した場合には、そのエントリは目的データを含むはずであるが、同時に、データアレイ40aのモードビットにおけるVALIDビットもチェックされ、その値が“1”である時のみ、そのエントリを有効として扱う。ウェイ α , β , γ , δ のうち上記条件を満たすものが存在すれば、これをヒットとして扱う。

【0072】アクセスAがリードであった場合には、切替機構制御部221によりクロスバスイッチ42の切替ポイント42A-1~42A-4のうちの該当するものをオン駆動し、データアレイ40aの当該エントリから

データを読み出して、そのデータを、データ入出力端子31A, 双方向スイッチ29Aおよびデータ入出力ポート24Aを通じてプロセッサ11に送り返す。同時に、制御部22により、データアレイ40aのモードビットに含まれるTIMEに現在時刻が最終アクセス時刻として書き込まれる。

【0073】一方、アクセスAがライトであった場合には、切替機構制御部221によりクロスバスイッチ42の切替ポイント42A-1~42A-4のうちの該当するものをオン駆動し、プロセッサ11からデータ入出力ポート24A, 双方向スイッチ29Aおよびデータ入出力端子31Aを通じて入力されたデータが、当該エントリに対して書き込まれる。同時に、前述と同様、制御部22により、データアレイ40aのモードビットに含まれるTIMEに現在時刻が最終アクセス時刻として書き込まれるほか、DIRTYビットにエントリの内容が変更されたことを示す“1”が設定される。

【0074】例えば、キャッシュ機構40におけるウェイ γ (40-3)でアクセスアドレスがヒットしているとすれば、クロスバスイッチ42の切替ポイント42A-3をオン駆動してデータの供給を行なうほか、ウェイ α (40-1)でアクセスアドレスがヒットしているとすれば、クロスバスイッチ42の切替ポイント42B-1をオン駆動してデータの供給を行なう。

【0075】キャッシュ機構40におけるウェイ α ~ δ の全てが上記条件を満たさない場合には、ミスヒットとして扱う。アクセスAについてミスヒット判定された場合には、アクセスAの対象データを主記憶15から読み出してキャッシュ機構40に格納すべく、まず、各ウェイ α ~ δ のデータアレイ40aにおけるモードビットのVALIDビットおよびTIMEが、制御部22により参照される。

【0076】このとき、優先すべきウェイが与えられていない場合には、各ウェイ α ~ δ におけるVALIDビットを参照し、“0”のものが存在すれば、そのエントリは空であるので、そのエントリに、主記憶15から読み出したデータを格納することが決定される。これに対し、全てのVALIDビットが“1”であれば、各ウェイ α ~ δ におけるTIME(最終アクセス時刻)の比較が行なわれ、その中で最も古いTIMEをもつウェイがデータ格納先として決定される。

【0077】また、優先すべきウェイが与えられている場合には、まずVALIDビットを参照し、そのビットが“0”であれば、そのエントリに、主記憶15から読み出したデータを格納することが決定される(図7, 図8参照)。優先ウェイのVALIDビットが“1”であり、他のウェイのVALIDビットに“0”のものが存在すれば、そのVALIDビット“0”のエントリにデータを格納することが決定される(図9, 図10参照)。全てのVALIDビットが“1”である場合に

は、最も古いTIMEをもつウェイに格納することが決定される(図13、図14参照)。それ以外の場合には、優先ウェイに対して格納することが決定される(図11、図12参照)。

【0078】以上のように、主記憶15から読み出したデータを格納すべきウェイが決定されると、制御部22により、そのウェイのエントリにおけるVALIDビットおよびDIRTYビットを参照し、両方のビットが“1”である場合には、そのエントリのデータを主記憶15に対して書き戻すべく、クロスバスイッチ43を経由してタグ出力端子32から書き戻しアドレス(タグアレイ40bのタグ情報)を送出する。

【0079】その後、アクセスAがリードである場合には、リードアドレスを主記憶15に送出し、読み出されたデータを、格納先として決定されたウェイにおけるデータアレイ40aに格納し、VALIDビットに“1”を、DIRTYビットに“0”を書き込む。そして、タグアレイ40bには、主記憶15に対してアクセスしたアドレスの上位ビット(第2ビット列)をタグ情報として書き込む。データアレイ40aに格納されたデータは、プロセッサ11にも送られる。

【0080】また、アクセスAがライトであった場合には、プロセッサ11からの書込データを、格納先として決定されたウェイにおけるデータアレイ40aの対象アドレスに格納し、VALIDビットに“1”を、DIRTYビットに“1”を書き込む。そして、この場合も、タグアレイ40bに、主記憶15に対してアクセスしたアドレスの上位ビット(第2ビット列)をタグ情報として書き込む。

【0081】ここで、ミスヒットの場合、主記憶15からのデータを格納すべきウェイを決定してから、アクセスが完了するまでの間は、格納先として決定されたウェイのみが使用されており、他のウェイは使用可能であることに注意すべきである。例えば、図23に示すように、単一リードアクセスAに対して全てのウェイ $\alpha \sim \delta$ が使用された後(期間T0~T1)、このアクセスAがミスヒットと判定され、格納先としてウェイ β が決定され、このウェイ β についてのモードビットに、VALID=1およびDIRTY=1が設定されているものとする。この場合、エントリの書き戻しを行なう期間(T1~T2)と、主記憶15からアクセスすべき内容をリードする期間(T2~T3)は、ウェイ β 以外のウェイ α, γ, δ は空き状態にある。

【0082】本実施形態では、このような空き期間にあるウェイ α, γ, δ において、他のアクセスを受け付けることもできる。この期間に、他の単一アクセスBを受け付けた場合には、空き状態のウェイ α, γ, δ を使用する。アクセスBについてこれらのウェイ α, γ, δ の中に有効なエントリをもつものがあれば、ヒットとして処理することができる。アクセスBについて有効なエン

トリが存在しなかった場合には、前のアクセスAが終了し、ウェイ β が空きとなった時点で、ウェイ β に対してアクセスする。そして、アクセスBについてウェイ β に有効なエントリが存在する場合には、ヒットとして処理するが、無効であった場合には、上記と同様のミスヒットの処理を行なう。

【0083】次に、2つのアクセスA、Bが、ポート23A、24A、25Aとポート23B、24B、25Bとで同時に受け付けられた場合の動作について説明する。アクセスA、Bのどちらか一方でも、優先ウェイの指定を受けていない場合には、一方のアクセスを待機させ、一つずつアクセスを行なう。この場合の動作は前述した単一アクセスの場合と全く同じである。

【0084】また、アクセスA、Bともに同一の優先ウェイの指定を受けている場合にも、一方のアクセスを待機させ一つずつアクセスを行なう。さらに、アクセスA、Bの優先ウェイが一致しなかった場合でも、前記のミスヒット期間などで使用中のウェイと優先ウェイが重なった場合には、そのアクセスは待機させられる。そうでなければ、アクセスA、Bの同時アクセスが行なわれる。

【0085】なお、アクセスA、Bに対するウェイ $\alpha \sim \delta$ の割当手法としては様々のものが考えられるが、その一例を図24に示す。この図24は、アクセスA、Bについて予め設定された優先ウェイ($\alpha \sim \delta$)と、その優先ウェイに対応して実際に各ウェイ $\alpha \sim \delta$ で実行されるアクセス(AまたはB)との具体例が示されている。ただし、使用中のウェイに対してはアクセスは実行されない。

【0086】この初回のアクセスで、ウェイ $\alpha \sim \delta$ のエントリに有効なデータを見つけた場合には、ヒットとして扱う一方、そうでなければ、他のウェイにもアクセスを行なう。このとき、初回のアクセスと、残りのウェイに対するアクセスとが重なり合う場合は、初回のアクセスを優先させる処理を行なう。

【0087】ところで、初回のアクセスのヒット率を上げるために、本実施形態では、図20にて前述した制御部22の移動指示機能224を用いて、キャッシュ機構40内において、データが格納されているウェイを移動させることもできる。プロセッサ11から制御線を介して移動の指示を伴ったアクセスが行なわれた場合には、制御部22の移動指示機能224により、例えば次のような動作①~③を行なう。

【0088】①目的データが他のウェイに存在する場合には他のウェイから移動先のウェイに転送を行ない、他のウェイのエントリを無効とする。移動先のウェイが有効でDIRTYの場合には、主記憶15へのデータ書き戻し処理を行なった後にデータを転送する。

②目的データが移動先のウェイにあった場合には、特別な動作を行なわない。

【0089】③目的データがミスヒットの場合には、移動先のウェイに格納を行なう。移動先のウェイが有効でDIRTYの場合には、主記憶15へのデータ書き戻し処理を行なった後に、主記憶15からのデータのフェッチおよびライトを行なう。移動指示機能224による動作としてはこれらの①～③に限定されるものではなく、種々動作が考えられる。

【0090】なお、初回のアクセスのヒット率を上げる他の手法として、アクセスの行なわれたアドレスを基に領域を設定する手法がある。この手法では、領域毎に優先すべきウェイを設定する。即ち、領域の上限を示すレジスタ（上限ポイント）と下限を示すレジスタ（下限ポイント）とに値を設定し、このレジスタとアクセスの行なわれたアドレスとの比較を行なう。その比較の結果が、上限と下限との間のアドレスにアクセスが行なわれたことを示していた場合、優先すべきウェイが決定される（図18参照）。

【0091】このように、本発明の第1実施形態によれば、キャッシュ機構40におけるウェイ $\alpha \sim \delta$ の集合を互いに重なり合わないグループに分割し、そのグループに含まれる各ウェイに対して単一のアクセスを実行して、各グループ毎に異なるアクセスを同時並列的に実行することにより、異なるアクセスのアクセス期間を互いに重なり合わせることができる。

【0092】従って、従来の単一アクセスに対するセットアソシアティブ方式のキャッシュメモリ装置と比べて、ハードウェア量の増加を抑えつつ、処理の高速化をはかりながら、多重アクセスを行なうことが可能である。特に、高並列アーキテクチャにおける数プロセッサ程度のクラスタ共有のキャッシュメモリとしての用途は非常に大きい。

【0093】また、複数のロード／ストアユニットをそなえたスーパースカラ方式のプロセッサやVLW（Very Long Instruction Word：超長形式命令ワード）方式のプロセッサの内部キャッシュメモリとしても有望である。さらに、キャッシュミスヒットに対する待ち時間（latency）の隠蔽として、マルチスレッドアーキテクチャを利用したスレッド切替を行なうことも非常に有利になる。

【0094】さらに、単一のアクセス要求しか存在しない場合には、全てのウェイ $\alpha \sim \delta$ を用いてそのアクセスを実行することで、従来と同様の処理が可能になるほか、グループ毎にミスヒットが確定した後に、ミスヒットしたウェイ以外の他のウェイに対してのみ継続的にアクセスを行なうことにより、トラフィック率を下げるができる。なお、ミスヒットが確定する前に、他のウェイに対してアクセスを先出してもよく、この場合、処理をより高速化することができる。

【0095】一方、モードビットのTIMEを参照し、各ウェイ $\alpha \sim \delta$ のうち最も古いデータを保持しているウ

ェイに、キャッシュ機構40でのミスヒットが確定し主記憶15から読み出したデータを書き込むことにより、アクセス対象になる可能性の高い新しいデータを保持し続けることができる。また、予め設定・付与されたデータ格納優先度に従って、キャッシュ機構40の各ウェイ $\alpha \sim \delta$ に対する書込／読出アクセスを行なうことにより、初回のアクセスに対するヒット率が大幅に向上し、キャッシュ機構40に対する多重アクセスを高速化することができる。

【0096】このとき、あるウェイに格納されているデータを、そのデータに対してアクセスを行なう可能性の高いプロセス、スレッド等について高いデータ格納優先度を設定されているウェイに移動させることにより、初回のアクセスのヒット率のさらなる向上を実現でき、多重アクセスの高速化に大きく寄与する。なお、上述した第1実施形態では、キャッシュ機構40が4ウェイのセットアソシアティブ方式で動作するものとし、最大2つのアクセスを同時に受け付けることができる場合について説明しているが、本発明は、これらに限定されるものではない。

【0097】また、上述した第1実施形態では、プロセッサを1台のみそなえたシステムに本発明を適用した場合について説明しているが、本発明は、これに限定されるものではなく、複数台のプロセッサにより多重アクセスキャッシュメモリ装置10を共用する場合にも同様に適用される。この場合、優先ウェイを決定するための要素（アクセス要求元情報）として、各プロセッサを特定する情報（プロセッサ番号、プロセッサ識別子）を用いてもよい。

【0098】（b）第2実施形態の説明

図25は本発明の第2実施形態を適用されるシステムの全体構成を示すブロック図であり、この図25に示すように、第2実施形態の多重アクセスキャッシュメモリ装置50は、プロセッサ51-1～51-4毎に設けられたローカルキャッシュメモリ（以下、L-キャッシュという）52-1～52-4と、親キャッシュメモリ53との間にそなえられている。

【0099】図25に示すシステムでは、複数のクラスタ55がそなえられ、これらのクラスタ55が親キャッシュメモリ53および主記憶54を共用しており、各クラスタ55は、親キャッシュメモリ53を通じて、主記憶54のデータに対するアクセスを行なえるようになっている。また、各クラスタ55は、前述したように、例えば4台のプロセッサ51-1～51-4と、各プロセッサ51-1～51-4に対応して設けられたL-キャッシュ52-1～52-4と、L-キャッシュ52-1～52-4を介してプロセッサ51-1～51-4により共用される多重アクセスキャッシュメモリ装置50とから構成されており、各プロセッサ51-1～51-4は、L-キャッシュ52-1～52-4および多重ア

セスキャッシュメモリ装置50を通じて、親キャッシュメモリ53や主記憶54のデータに対するアクセスを行なえるようになっている。

【0100】ここで、各Ｌーキャッシュ52-1～52-4はライトスルー方式で動作しており、各プロセッサ51-1～51-4からの書込処理が各Ｌーキャッシュ52-1～52-4に対して行なわれた場合には、その書込処理は、多重アクセスキャッシュメモリ装置50に保持されるデータにも必ず反映される。また、ここでは、アクセス対象データを指定する情報として、アドレスの他に空間識別子を用いる。この空間識別子およびアドレスを用いて動的アドレス変換を行なう。この動的アドレス変換によって仮想アドレスは実アドレスに変換される。Ｌーキャッシュ52-1～52-4は、仮想アドレスキャッシュメモリであり、空間識別子を含めてキャッシュする。本実施形態の多重アクセスキャッシュメモリ装置50は、実アドレスキャッシュメモリであり、図27にて後述するごとく、動的アドレス変換を行なうための機構(DAT:Dynamic Address Translator)80dをそなえている。

【0101】また、データの一貫性を維持しつつキャッシュ間での共有を行なうには、ライトワンス方式、シナプス方式等の諸方式を採用すればよい。本実施形態では、制御の複雑さを避けるため、キャッシュ間での共有を許さない構成をとっている。即ち、モードビットとして、第1実施形態で前述したものと同様の、VALIDビット、DIRTYビット等を有している。

【0102】多重アクセスキャッシュメモリ装置50でミスヒットが発生すると、多重アクセスキャッシュメモリ装置50は、ミスヒットとなったデータのアドレスを親キャッシュメモリ(記憶装置)53に通知する。そのアドレスに対応するエントリが親キャッシュメモリ53に存在すれば、親キャッシュメモリ53はその内容を多重アクセスキャッシュメモリ装置50に返す。また、親キャッシュメモリ53は、他のクラスタ55に属する多重アクセスキャッシュメモリ装置50に対してもそのアドレスを通知する。

【0103】ミスヒットとなったデータのアドレスに対応するエントリが、他の多重アクセスキャッシュメモリ装置50に存在する場合には、その内容をミスヒットが発生した多重アクセスキャッシュメモリ装置50に転送する。その転送内容は、親キャッシュメモリ53の返す内容に優先する。また、そのエントリを無効とする処理を行ない、Ｌーキャッシュ52-1～52-4の該当エントリを無効化する。

【0104】親キャッシュメモリ53にも他の多重アクセスキャッシュメモリ装置50にも有効なエントリが存在しなければ、親キャッシュメモリ53は、ミスヒットとして扱い、ミスヒットとなったデータについて主記憶54へのアクセスを行なうことになる。また、第2実施

形態の多重アクセスキャッシュメモリ装置50は、図26および図27に示すように、上記の通知アドレスに対応するエントリを検出するためのスヌープ(snoop)機構62をそなえて構成されている。

【0105】図26は、本発明の第2実施形態としての多重アクセスキャッシュメモリ装置50の全体構成を示すブロック図であり、この図26に示すように、第2実施形態の多重アクセスキャッシュメモリ装置50も第1実施形態のものとほぼ同様に構成されているが、第2実施形態では、最大4つのアクセス要求を受け付けることが可能な構成になっているほか、スヌープ機構62が新たに追加されている。

【0106】つまり、多重アクセスキャッシュメモリ装置50は、図27にて詳述するごとくウェイ80-1～80-4の集合を含むウェイ部60と、第1実施形態の制御部22と同様の機能のほかスヌープ機構62を制御するための機能を有する制御部61と、後述する機能を有するスヌープ機構62とを有して構成されるほか、アドレス入力ポート63A～63D、データ入出力ポート64A～64D、制御線入出力ポート65A～65D、アドレス入出力ポート66、データ入出力ポート67および制御線入出力ポート68を有している。

【0107】ここで、アドレス入力ポート63A～63D、データ入出力ポート64A～64D、制御線入出力ポート65A～65Dは、図25に示したプロセッサ51-1～51-4にＬーキャッシュ52-1～52-4を介して接続され、各プロセッサ51-1～51-4からキャッシュメモリ装置50に対するアクセスの受付を行なうためのもので、4つのアクセスを同時に受け付けることができるように各ポートは4つずつそなえられている。

【0108】アドレス入出力ポート66、データ入出力ポート67および制御線入出力ポート68は、図25に示した親キャッシュメモリ53(第1実施形態の主記憶15に対応するもの)に接続され、親キャッシュメモリ53に対するアクセスを行なうためのものである。なお、図26中、親キャッシュメモリ53に接続されるポートには符号“E”が付されている。

【0109】ウェイ部60には、アドレス入力端子70A～70D、データ入出力端子71A～71D、タグ出力端子72、モードビット端子73、コントロール端子74およびスヌープアドレス入力端子75が設けられている。そして、アドレス入力端子70A～70Dは、それぞれアドレス入力ポート63A～63Dに直接的に接続されるとともに、タグ出力端子72およびスヌープアドレス入力端子75はアドレス入出力ポート66に直接的に接続されている。

【0110】タグ出力端子72は、第1実施形態のタグ出力端子32と全く同様に機能するのに加えて、アクセス済の部分集合に含まれないウェイに対するヒット/ミ

スヒット判定を行なうためのアドレスを出力する。各データ入出力端子71A～71Dは、各データ入出力ポート64A～64Dとデータ入出力ポート67とに、図21に示すものと同様構成の双方向スイッチ69A～69Dを介して接続されている。

【0111】また、スヌープアドレス入力端子75は、アドレス入出力ポート66からのアドレスまたはタグ出力端子72からのアドレスをスヌープ機構62に入力するためのものである。制御線入出力ポート65A～65D、68、モードビット端子73およびコントロール端子74は制御部61に接続されている。この制御部61は、ウェイ部60との間でコントロール端子74を介して各種制御信号をやり取りすることによりウェイ部60やスヌープ機構62の状態を制御する機能を有するほか、第1実施形態と同様に、モードビット情報（VALID、DIRTY、TIME等）を、各ウェイ80-1～80-4のデータアレイ80aにモードビット端子73を介して書き込んだり、そのデータアレイ80aからモードビット端子83を介して読み出ししたりする機能を有している。

【0112】そして、制御部61は、スヌープ機構62を制御するための機能を除けば、基本的には、第1実施形態の制御部22と同様の機能、即ち、前述した切替機構制御部221、キャッシュ機構制御部222としての機能や、優先度付与機能223および移動指示機能224を有している。さて、第2実施形態のウェイ部60も、図27に示すごとく、第1実施形態のウェイ部21とほぼ同様、キャッシュ機構80とクロスバスイッチ（切替機構）81～83とを有して構成されている。

【0113】キャッシュ機構80は、セットアソシアティブ方式によって動作する4ウェイ（組）80-1～80-4を有している。各ウェイ80-1～80-4には、データアレイ80aとタグアレイ80bとの組がそなえられるほか、第1実施形態の比較器40cと同様の機能を果たす比較器80cと、前述したような動的アドレス変換を行なう動的アドレス変換機構（以下、DATと略記）80dとがそなえられている。

【0114】第2実施形態のデータアレイ80a、タグアレイ80bおよび比較器80cにより実現される機能は、第1実施形態のデータアレイ40a、タグアレイ40bおよび比較器40cにより実現される機能とほぼ同様であるので、ここではその詳細な説明は省略する。ただし、第2実施例のタグアレイ80bには、アドレス入力の上位ビットをDAT80dによりアドレス変換されたものが格納されるほか、第2実施形態の比較器80cは、アドレス入力の上位ビットをDAT80dによりアドレス変換した結果と、タグアレイ80bからのタグ情報とを比較するように構成されている。

【0115】クロスバスイッチ81は、キャッシュ機構80に対してアドレス入力端子70A～70D（アドレ

ス入力ポート63A～63D）からアクセス要求に伴って入力されたアドレスおよび空間識別子（アクセス対象データ指定情報）を各ウェイ80-1～80-4のデータアレイ80aおよびタグアレイ80bの組に対し選択的に切り替えて供給するためのものである。

【0116】このクロスバスイッチ81は、アドレス入力端子70Aからのアドレス（空間識別子を含む）をウェイ80-1～80-4にそれぞれ供給するための切替ポイント81A-1～81A-4と、アドレス入力端子70Bからのアドレスをウェイ80-1～80-4にそれぞれ供給するための切替ポイント81B-1～81B-4と、アドレス入力端子70Cからのアドレスをウェイ80-1～80-4にそれぞれ供給するための切替ポイント81C-1～81C-4と、アドレス入力端子70Dからのアドレスをウェイ80-1～80-4にそれぞれ供給するための切替ポイント81D-1～81D-4とにより構成されている。そして、制御部61により、各切替ポイント81A-1～81A-4、81B-1～81B-4、81C-1～81C-4、81D-1～81D-4がオン/オフ駆動されることで、クロスバスイッチ81の切替状態が制御されるようになっている。

【0117】また、クロスバスイッチ82は、データ入出力ポート64A～64Dまたは67から入力されたデータを、各ウェイ80-1～80-4のキャッシュ機構80のデータアレイ80bに対し選択的に切り替えて供給する一方、4つのウェイ80-1～80-4におけるデータアレイ80bのいずれか一つに保持されているデータを、データ入出力ポート64A、64Bまたは67へ選択的に切り替えて出力するためのものである。

【0118】このクロスバスイッチ82は、クロスバスイッチ81とほぼ同様に、切替ポイント82A-1～82A-4、82B-1～82B-4、82C-1～82C-4、82D-1～82D-4により構成されている。そして、制御部61により、各切替ポイント82A-1～82A-4、82B-1～82B-4、82C-1～82C-4、82D-1～82D-4がオン/オフ駆動されることで、クロスバスイッチ82の切替状態が制御されるようになっている。

【0119】さらに、クロスバスイッチ83は、アドレス入力端子70A～70Dから入力され各ウェイ80-1～80-4に供給された下位アドレスとDAT80dによって変換された上位アドレス、または、各ウェイ80-1～80-4においてタグアレイ80bから読み出されたアドレスを、アドレス出力ポート66またはスヌープアドレス入力端子75へ選択的に切り替えて出力するためのものである。

【0120】このクロスバスイッチ83は、ウェイ80-1～80-4への下位アドレス線およびDAT80dからの上位アドレス線とタグ出力端子72とを接続する

か、ウェイ80-1~80-4のタグアレイ80bとタグ出力端子72とを接続するかの切替を行なう切替ポイント83-1~83-4により構成されており、やはり、制御部61により、各切替ポイント83-1~83-4がオン/オフ駆動されることで、クロスバスイッチ83の切替状態が制御されるようになっている。

【0121】一方、第2実施形態で全く新たに追加されたスヌープ機構62は、ウェイ80-1~80-4毎に、複写タグアレイ62aおよび比較器62bを有して構成されている。各複写タグアレイ62aは、アドレス入力端子70A~70Dから入力され各タグアレイ80bと全く同一のタグ情報(複写)を保持するもので、各タグアレイ80bにタグ情報を格納する際に、同時に、そのアドレスの下位ビットにより指定されるエントリに、そのアドレスの上位ビットをDAT80dによってアドレス変換したものをタグ情報として書き込まれるようになっている。また、各複写タグアレイ62aは、スヌープ動作時とアクセス済の部分集合に含まれないウェイに対するヒット/ミスヒット判定時には、スヌープアドレス入力端子75を通じて入力されたアドレスの一部(下位ビット)により指定されるタグ情報を比較器62bへ出力するようになっている。

【0122】また、各比較器62bは、アクセス済の部分集合に含まれないウェイに対するヒット/ミスヒット判定時には、アクセス元のウェイにおけるDAT80dを比較器80cと共用しており、ミスヒットとなったアクセスの指定アドレスの上位ビットをDAT80dによりアドレス変換した結果をクロスバスイッチ83、タグ出力端子72、スヌープアドレス入力端子75を通じて得て、その変換結果と複写タグアレイ62aからのタグ情報とを比較するものである。

【0123】ここで、本実施形態のスヌープ機構62の機能について説明する。このスヌープ機構62は、本来、親キャッシュメモリ53から通知される、他の多重アクセスキャッシュメモリ装置50のミスヒットアドレスを受けて、その多重アクセスキャッシュメモリ装置50にそのアドレスに該当するエントリが存在するか否かを判定するものであるが(スヌープ動作)、その他にも、各アクセス要求に応じたアクセスを各分割グループにおいて実行した結果、アクセス対象データがその分割グループに保持されていないことが判明した場合、即ち、初回のアクセスやそれに続くアクセスでミスヒットとなった場合にも動作する(スヌープ動作が優先される)。

【0124】つまり、スヌープ機構62は、ミスヒットとなったデータについてのアドレス(空間識別子を含む)をDAT80dによってアドレス変換したものを受け取り、ミスヒットとなったウェイ以外のウェイにおける比較器62bに供給し、この比較器62bにより、複写タグアレイ62aに保持されるタグ情報と供給された

アドレスの上位ビットとを比較することで、ミスヒットとなったアクセス対象データを保持しているウェイが存在するか否かを判定する。

【0125】そして、スヌープ機構62は、該当するウェイが存在する場合にはそのウェイを特定する。スヌープ機構62の比較器62bによる比較結果およびウェイの特定結果は、図示しない信号線等を介して制御部61に転送されるようになっており、スヌープ機構62からの情報に基づいて制御部61は、キャッシュ機構80におけるデータの書込/読出制御を行なうようになっている。

【0126】なお、図27においては、モードビット端子73と各データアレイ80aとの接続状態、および、コントロール端子74と各部(キャッシュ機構80、クロスバスイッチ81~83、スヌープ機構62)との接続状態の図示は省略されている。次に、上述のごとく構成された第2実施形態の多重アクセスキャッシュメモリ装置50の動作を、図31を参照しながら説明する。

【0127】今、時刻T1において、プロセッサ51-1からライトアクセスがあったとする。この場合、第1実施形態で述べたように、単一アクセスであるため、ウェイ α ~ δ を全て使用する。このアクセス(T1~T2)がミスヒットし、格納すべきウェイが δ になったものとする。ここでは、説明を簡単にすべく、ウェイ δ の該当エントリは空であったものとする(VALID=0)。

【0128】このとき、多重アクセスキャッシュメモリ装置50は、ミスヒットアドレスを親キャッシュメモリ53に通知し、親キャッシュメモリ53は、他の多重アクセスキャッシュメモリ装置50にもそのミスヒットアドレスを通知しなければならない。やがて、システム内の全ての多重アクセスキャッシュメモリ装置50から応答が有り、ウェイ δ の該当エントリに対してのライトを終了することができるが、それまで(時刻T6まで)ウェイ δ を使用することはできない。

【0129】他の多重アクセスキャッシュメモリ装置50に該当するエントリが存在した場合には、前述したように、データのキャッシュ間共用を許さない構成を採っているため、多重アクセスキャッシュ装置50およびL-キャッシュ52-1~52-4における該当エントリの無効化が行なわれる。また、この間のデータのすれ違いを避けるため、時刻T6までに同一下位アドレスをもつアクセス要求があった場合には、そのアクセス要求は、それ以後に遅延されることになる。なお、図31に示すように、時刻T1には、親キャッシュメモリ53からのスヌープ要求が有り、該当するエントリは存在しなかったものとする。該当エントリが存在する場合には、多重アクセスキャッシュメモリ装置50およびL-キャッシュ52-1~52-4でそのエントリの無効化処理が行なわれる。

【0130】時刻T2には、プロセッサ51-2とプロセッサ51-3とからアクセスがあり、それぞれの優先ウェイトが α 、 β であるとする。この場合、ウェイト α および γ でプロセッサ51-2によるアクセスが行なわれ、ウェイト β でプロセッサ51-3によるアクセスが行なわれることになった。時刻T3には、プロセッサ51-4から、優先ウェイトの無いアクセスがあったとする。第1実施形態で述べたように、このようなアクセスに対しては使用可能な全てのウェイトを割り当てることになる。このため、ミスヒット中であるプロセッサ51-3のアクセスには使用可能なウェイトが存在しないことになった(初回アクセスの優先事項)。

【0131】この場合に、プロセッサ51-3のアクセスをスヌープ機構62に与えて、データの存在するウェイトを決定することになる。時刻T3〜T4の間に、プロセッサ51-4からのアクセスはウェイト γ のヒットにより終了し、プロセッサ51-3のアクセスするデータがスヌープ機構62によりウェイト α に存在することが明らかとなった。

【0132】そして、時刻T4〜T5の間に、プロセッサ51-3のアクセスがウェイト α に対して行なわれ、必ずヒットして終了する。なお、スヌープ機構62を利用したウェイト決定要求と親キャッシュメモリ53からのスヌープ要求とが同時に起こった場合には、親キャッシュメモリ53からのスヌープ要求が優先され、ウェイト決定は行なわれない。

【0133】次に、上述のごとく構成された第2実施形態の多重アクセスキャッシュメモリ装置50の他の動作について、図28を参照しながら説明する。図28中、上部に記載された数値はサイクル数を示している。ここでは、説明を簡単すべく、図28に示すように、多重アクセスキャッシュメモリ装置50にアクセスするプロセッサ51-1〜51-4についての優先ウェイトとして、それぞれ、ウェイト80-1〜80-4を割り当てるものとする。

【0134】また、前述した第1、第2実施形態とは異なり、単一のアクセスがあった場合でも、複数のアクセスが要求された場合でも、特別な指示が無い限り、それぞれのアクセスは単一のウェイトを使用して実行されるものとする。さらに、この第2実施形態の他の動作が有利であるのは、パイプラインのステップとウェイト80-1〜80-4のアクセス時間とを比較すると、パイプラインのステップの方が短い場合である。ウェイト80-1〜80-4のアクセス時間はパイプラインの4ステップ分とする。

【0135】この第2実施形態の他の動作においては、優先ウェイトが指定されている場合、特に指示が無い限り、次の①〜③の動作を行なう。

①優先ウェイトのみにアクセスする(該ウェイトが使用不可能な場合は遅延する)。

②ミスヒットした場合にはスヌープ機構62を利用してウェイトを決定する。

【0136】③スヌープ機構62が他のアクセスによって使用中である場合には、使用可能となるまでアクセスを遅延する。

④ウェイトが決定されると、そのウェイトが空き次第、該ウェイトにアクセスする。これは、一例を示したのみであり、上記項目③で他のウェイトにアクセスを行なう等、種々の動作が考えられる。

【0137】このような動作を行なうことで、ウェイトのトラフィック率を下げ、多重アクセスを容易化できるという効果がある。そして、図28に示す例では、第1サイクルにプロセッサ51-1からアクセスがあったため、ウェイト80-1が使用されている。また、第2サイクルには、プロセッサ51-3からアクセスがあったため、ウェイト80-3が使用されている。さらに、第4サイクルにはプロセッサ51-2、51-4からアクセスがあったため、ウェイト51-2、51-4が使用されている。

【0138】今、プロセッサ51-1、51-3、51-4に関しては、キャッシュ機構80の各ウェイト80-1、80-3、80-4でヒットしたため、それぞれ、第5サイクル、第6サイクル、第8サイクルで処理を終了している。これに対し、プロセッサ51-2は、キャッシュ機構80のウェイト80-2で有効なエントリを見つけることができなかったため、第8サイクルから、スヌープ機構62を利用して、ウェイト80-2以外の他のウェイト80-1、80-3、80-4に有効なエントリが存在しないかどうかをチェックしている。

【0139】スヌープ機構62によるチェックが未だ終了していない第10サイクルには、プロセッサ51-1からアクセスがあり、これが制御線によりできるだけ多くのウェイトを使用することを指示して来たために、ウェイト80-1〜80-4の全てを使用してそのアクセスが実行されている。そして、第12サイクルにおいて、スヌープ機構62により、プロセッサ51-2からのアクセスについてのウェイトが特定され、プロセッサ51-2の要求するエントリがウェイト80-3に存在することが確定しているが、第12サイクルの時点では、ウェイト80-3が前述した通りプロセッサ51-1によって使用されているために、ウェイト80-3へのアクセスは第14サイクルまで遅延されている。

【0140】このように、本発明の第2実施形態によれば、前述した第1実施形態と同様の作用効果を得ることができるほか、タグアレイ80bと同一内容をもつ複写タグアレイ62aをスヌープ機構62にそなえてタグアレイを多重化することによって、初回のアクセスでミスヒットした場合、スヌープ機構62において、多重化された複写タグアレイ62aを用い、そのアクセスの目的エントリを含むウェイトが存在するか否かを判定して、存

在する場合にはどのウェイであるかを特定するというスヌープ処理を、通常のアクセスと並行して実行することができる。従って、多重アクセスをより高速に行なうことが可能になる。

【0141】なお、上述した第2実施形態の他の動作例では、キャッシュ機構40が4ウェイのセットアソシアティブ方式で動作するものとし、最大4つのアクセスを同時に受け付けることができる場合について説明しているが、本発明は、これらに限定されるものではない。また、上述した第2実施形態では、優先ウェイをプロセッサ51-1～51-4毎に割り当てているが、優先ウェイの設定手法は、これに限定されるものではなく、第1実施形態で説明した通り、スレッド番号、プロセス番号、アドレス等に基づいて優先ウェイを設定してもよい。

【0142】

【発明の効果】以上詳述したように、本発明の多重アクセス方法および多重アクセスキャッシュメモリ装置によれば、2つ以上の組（データアレイとタグアレイの組）を2つ以上の部分集合に分割し、各部分集合において各アクセスを並列的に実行することができるので、ハードウェア量の増加を抑え、且つ、出来るだけ処理の高速化をはかりながら、多重アクセスを行なうことが可能になる。特に、高並列アーキテクチャにおける数プロセッサ程度のクラスタ共有のキャッシュメモリとしての用途は非常に大きい。

【0143】また、複数のロード／ストアユニットをそなえたスーパスカラ方式のプロセッサやVLIW方式のプロセッサの内部キャッシュメモリとしても有望である。さらに、キャッシュミスヒットに対する待ち時間の隠蔽として、マルチスレッドアーキテクチャを利用したスレッド切替を行なう際にも非常に有利になる（請求項1～40）。

【0144】単一のアクセス要求しか存在しない場合には、全ての組を用いてそのアクセスを実行することで、従来と同様の処理を行なうことができる（請求項2，22）。部分集合毎にミスヒットが確定した後に、ミスヒットした組以外の他の組に対してのみ継続的にアクセスを行なうことにより、トラフィック率を下げるができるほか（請求項4，24）、ミスヒットが確定する前に、他の組に対してアクセスを先出しすることにより、処理の高速化を実現することもできる（請求項5，25）。

【0145】キャッシュ機構でのミスヒットが確定し記憶装置から読み出したデータを、各組のうち最も古いデータを保持しているものに書き込むことにより、アクセス対象になる可能性の高い新しいデータを保持し続けることができる（請求項7，27）。また、予め設定・付与されたデータ格納優先度に従って、キャッシュ機構の各組に対する書込／読出アクセスを行なうことにより、

初回のアクセスに対するヒット率が大幅に向上し、キャッシュ機構に対する多重アクセスの高速化を実現することができる（請求項8～18，28～38）。

【0146】このとき、ある組に格納されているデータを、そのデータに対してアクセスを行なう可能性の高いプロセス、スレッド、プロセッサ等（アクセス要求元情報）について高いデータ格納優先度を設定されている組に移動させることにより、初回のアクセスのヒット率をより向上でき、多重アクセスの高速化に大きく寄与することになる（請求項19，39）。

【0147】さらに、通常のアクセスと初回のアクセスでミスヒットしたアクセスについてのスヌープ処理とを並列的に行なうことにより、多重アクセスをより高速に行なうことが可能になる（請求項20，40）。

【図面の簡単な説明】

【図1】本発明の多重アクセスキャッシュメモリ装置を示す原理ブロック図である。

【図2】（a），（b）はいずれも本発明による多重アクセス方法の基本原理を説明するための図である。

【図3】単一のアクセス要求受付時における本発明の動作を説明するための図である。

【図4】初回のアクセスでミスヒットとなった場合における本発明の動作を説明するための図である。

【図5】初回のアクセスでミスヒットとなった場合における本発明の動作を説明するための図である。

【図6】初回のアクセスでミスヒットとなった場合における本発明の動作を説明するための図である。

【図7】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図8】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図9】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図10】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図11】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図12】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図13】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図14】データ格納優先度に従う本発明によるデータ格納手順を説明するための図である。

【図15】本発明においてデータ格納優先度を設定するためのアクセス要求元情報（プロセス識別子）を説明するための図である。

【図16】本発明においてデータ格納優先度を設定するためのアクセス要求元情報（スレッド識別子）を説明するための図である。

【図17】本発明においてデータ格納優先度を設定する

ためのアクセス要求元情報（プロセッサ番号）を説明するための図である。

【図 18】本発明においてデータ格納優先度を設定するためのアクセス要求元情報（アドレス）を説明するための図である。

【図 19】本発明の第 1 実施形態を適用されるシステムの全体構成を示すブロック図である。

【図 20】本発明の第 1 実施形態としての多重アクセスキャッシュメモリ装置の全体構成を示すブロック図である。

【図 21】双方向スイッチの構成例を示す図である。

【図 22】第 1 実施形態におけるウェイ部（キャッシュ機構および切替機構）の構成を示すブロック図である。

【図 23】第 1 実施形態の動作を説明するためのタイミングチャートである。

【図 24】第 1 実施形態において設定される優先ウェイ、および、実際に各ウェイで実行されるアクセスの具体例を示す図である。

【図 25】本発明の第 2 実施形態を適用されるシステムの全体構成を示すブロック図である。

【図 26】本発明の第 2 実施形態としての多重アクセスキャッシュメモリ装置の全体構成を示すブロック図である。

【図 27】第 2 実施形態におけるウェイ部（キャッシュ機構、切替機構およびスヌープ機構）の構成を示すブロック図である。

【図 28】第 2 実施形態の動作を説明するためのタイミングチャートである。

【図 29】(a), (b) はいずれも多重アクセスを実現するための従来のキャッシュメモリ装置のタグアレイ（アドレスアレイ）を示す図である。

【図 30】多重アクセスを実現するための従来のキャッシュメモリ装置のデータアレイを示す図である。

【図 31】第 2 実施形態の動作を説明するためのタイミングチャートである。

【符号の説明】

- 1 多重アクセスキャッシュメモリ装置
- 2 キャッシュ機構
- 2A 組
- 2A-1~2A-4 ウェイ（組）
- 2a データアレイ
- 2b タグアレイ
- 3 入力ポート
- 4 切替機構
- 5 切替機構制御部
- 10 多重アクセスキャッシュメモリ装置
- 11 プロセッサ
- 12A, 12B ロード/ストアパイプライン
- 13 命令フェッチユニット
- 14 命令キャッシュメモリ装置

- 15 主記憶（記憶装置）
- 21 ウェイ部
- 22 制御部
- 221 切替機構制御部
- 222 キャッシュ機構制御部
- 223 優先度付与機能
- 224 移動指示機能
- 23A, 23B アドレス入力ポート
- 24A, 24B データ入出力ポート
- 10 25A, 25B 制御線入出力ポート
- 26 アドレス出力ポート
- 27 データ入出力ポート
- 28 制御線入出力
- 29A, 29B 双方向スイッチ
- 29a 双方向素子
- 30A, 30B アドレス入力端子
- 31A, 31B データ入出力端子
- 32 タグ出力端子
- 33 モードビット端子
- 20 34 コントロール端子
- 40 キャッシュ機構
- 40-1~40-4 ウェイ（組）
- 40a データアレイ
- 40b タグアレイ
- 40c 比較器
- 41~43 クロスバスイッチ（切替機構）
- 41A-1~41A-4, 41B-1~41B-4, 42A-1~42A-4, 42B-1~42B-4, 43-1~43-4 切替ポイント
- 50 多重アクセスキャッシュメモリ装置
- 51-1~51-4 プロセッサ
- 52-1~52-4 ローカルキャッシュメモリ（L-キャッシュ）
- 53 親キャッシュメモリ（記憶装置）
- 54 主記憶
- 55 クラスタ
- 60 ウェイ部
- 61 制御部
- 62 スヌープ機構
- 40 62a 複写タグアレイ
- 62b 比較器
- 63A~63D アドレス入力ポート
- 64A~64D データ入出力ポート
- 65A~65D 制御線入出力ポート
- 66 アドレス入出力ポート
- 67 データ入出力ポート
- 68 制御線入出力
- 69A~69D 双方向スイッチ
- 70A~70D アドレス入力端子
- 50 71A~71D データ入出力端子

72 タグ出力端子
73 モードビット端子
74 コントロール端子
75 スヌープアドレス入力端子
80 キャッシュ機構
80-1~80-4 ウェイ (組)
80a データアレイ
80b タグアレイ

* 80c 比較器

80d 動的アドレス変換機構 (DAT)

81~83 クロスバスイッチ (切替機構)

81A-1~81A-4, 81B-1~81B-4, 81C-1~81C-4, 81D-1~81D-4, 82A-1~82A-4, 82B-1~82B-4, 82C-1~82C-4, 82D-1~82D-4, 83-1

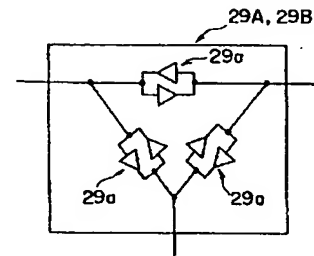
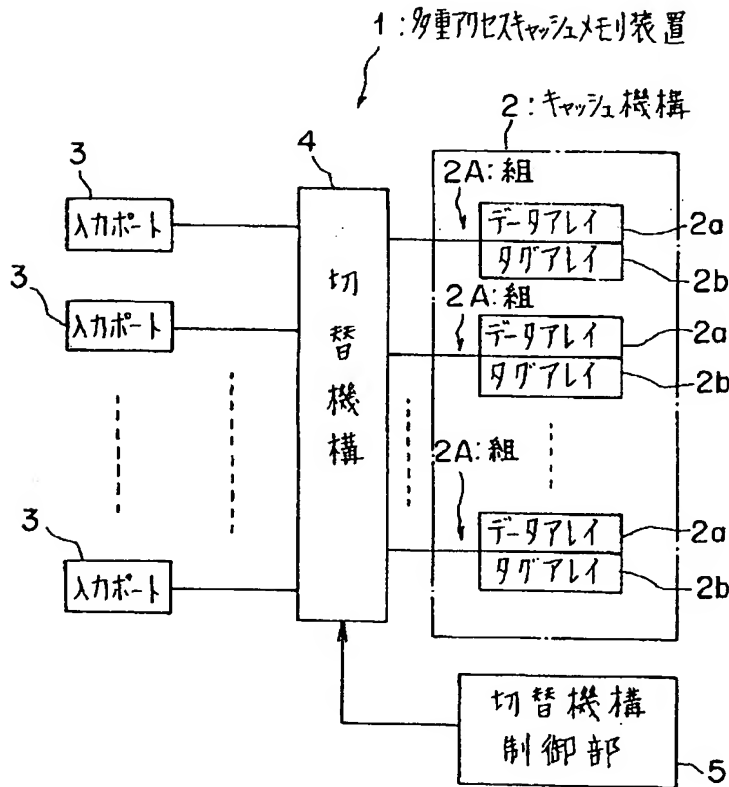
* ~83-4 切替ポイント

【図1】

【図21】

本発明の多重アクセスキャッシュメモリ装置を示す原理ブロック図

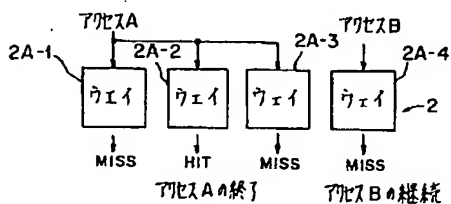
双方向スイッチの構成例を示す図



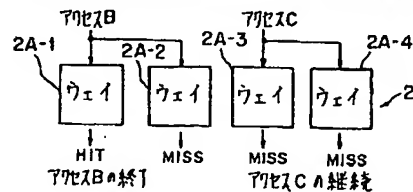
【図4】

【図5】

初回のアクセスミスとなった場合における本発明の動作を説明するための図

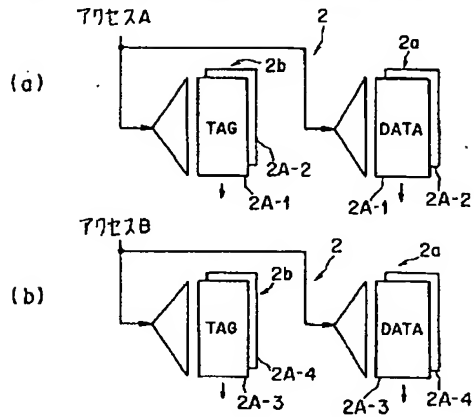


初回のアクセスミスとなった場合における本発明の動作を説明するための図



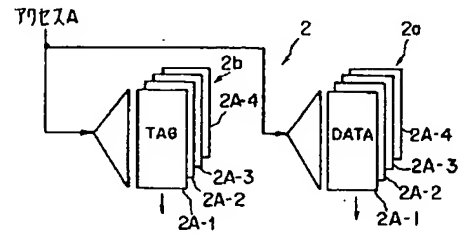
【図2】

本発明による多重アドレス方法の基本原理を説明するための図



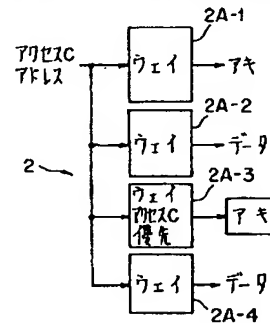
【図3】

単一アドレス要求受付時における本発明の動作を説明するための図



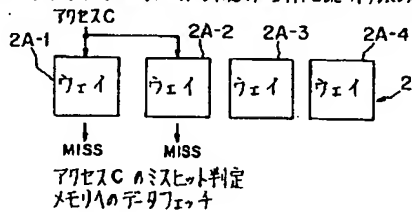
【図7】

データ格納優先度に従う本発明によるデータ格納手順を説明するための図



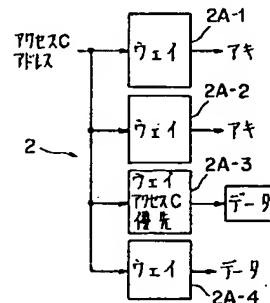
【図6】

初回アドレスミスした場合における本発明の動作を説明するための図



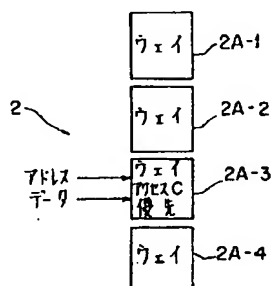
【図9】

データ格納優先度に従う本発明によるデータ格納手順を説明するための図



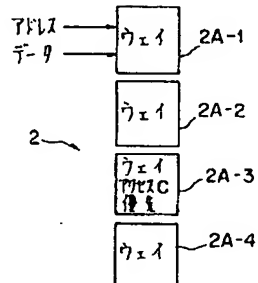
【図8】

データ格納優先度に従う本発明によるデータ格納手順を説明するための図



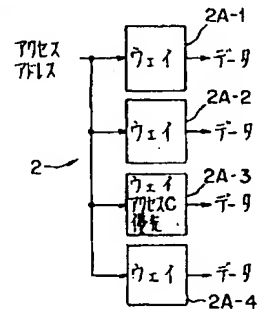
【図10】

デリ格納優先度に従う本発明によるデリ格納手順を説明するための図



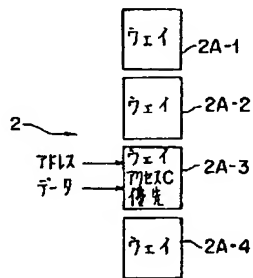
【図11】

デリ格納優先度に従う本発明によるデリ格納手順を説明するための図



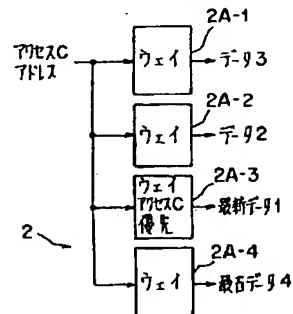
【図12】

デリ格納優先度に従う本発明によるデリ格納手順を説明するための図



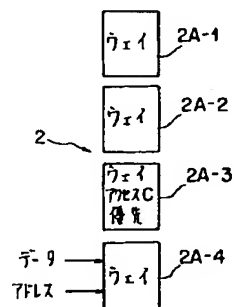
【図13】

デリ格納優先度に従う本発明によるデリ格納手順を説明するための図



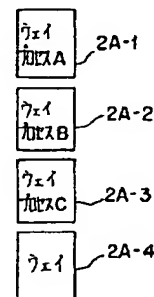
【図14】

デリ格納優先度に従う本発明によるデリ格納手順を説明するための図



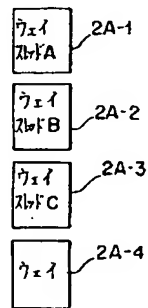
【図15】

本発明においてデリ格納優先度を設定するためのプロセス要求元情報(プロセス識別子)を説明するための図



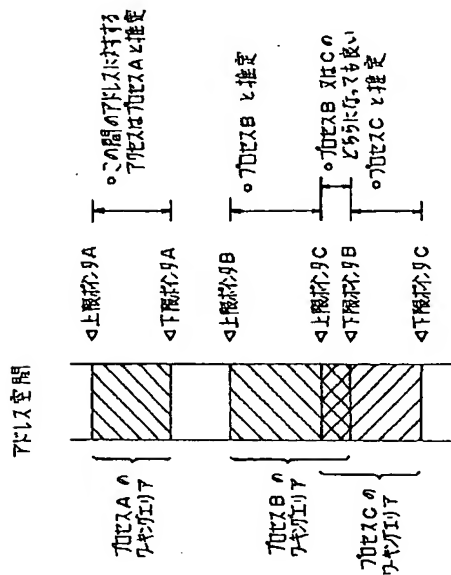
【図16】

本発明においてメモリ格納優先度を設定するためのアドレス要求元情報(スロット識別子)を説明するための図



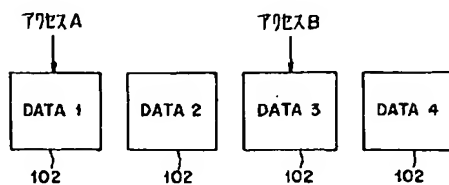
【図18】

本発明においてメモリ格納優先度を設定するためのアドレス要求元情報(アドレス)を説明するための図



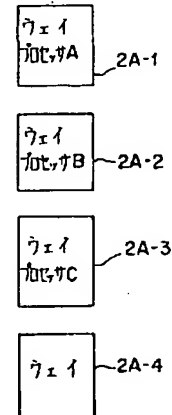
【図30】

多重アドレスを実現するための従来のキャッシュメモリ装置のデータレイアウトを示す図



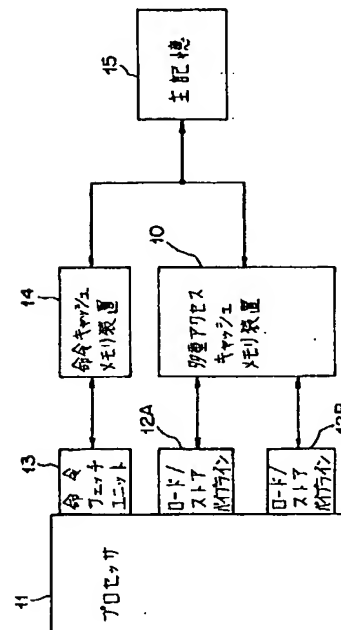
【図17】

本発明においてメモリ格納優先度を設定するためのアドレス要求元情報(ウェイト番号)を説明するための図



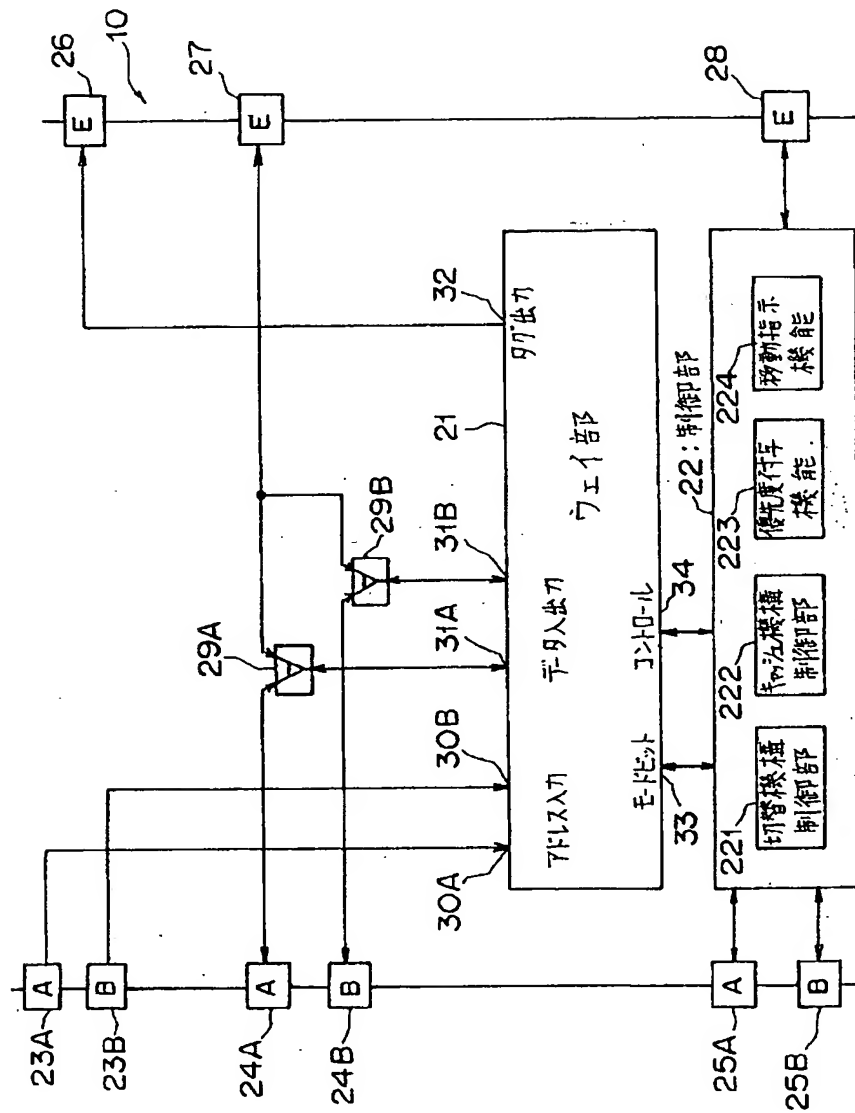
【図19】

本発明の第1実施形態を適用されるシステムの全体構成を示すブロック図



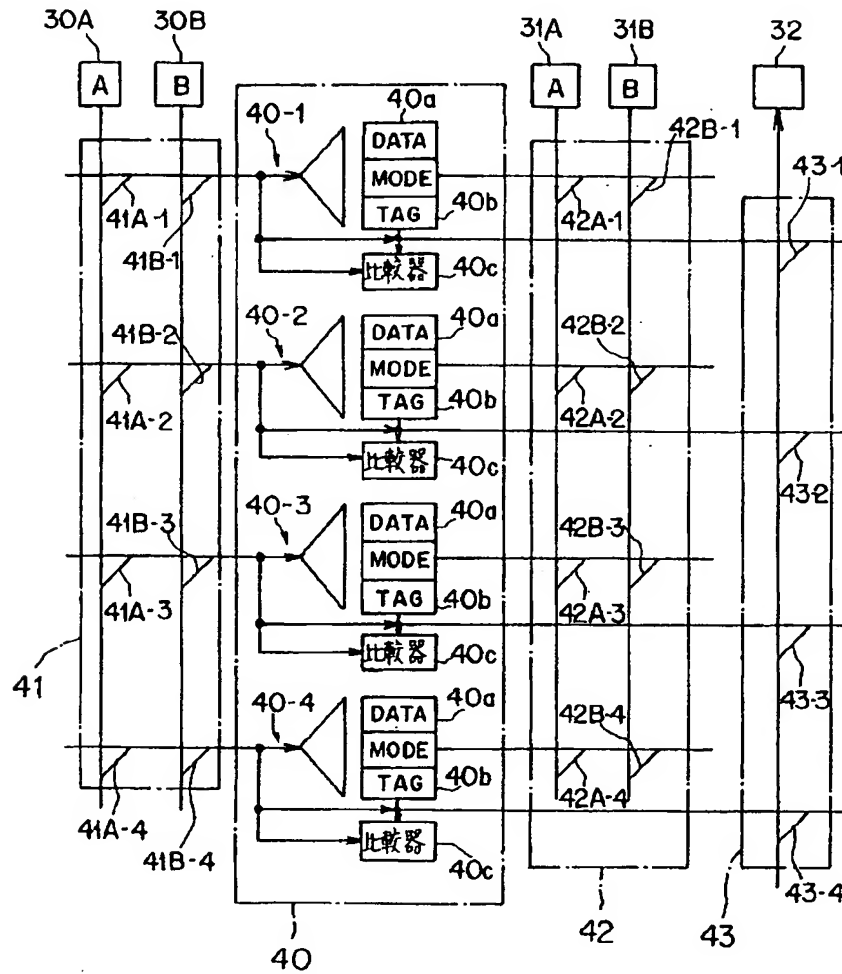
【図20】

本発明の第1実施形態としての多重アクセスキャッシュメモリ装置の全体構成を示すブロック図



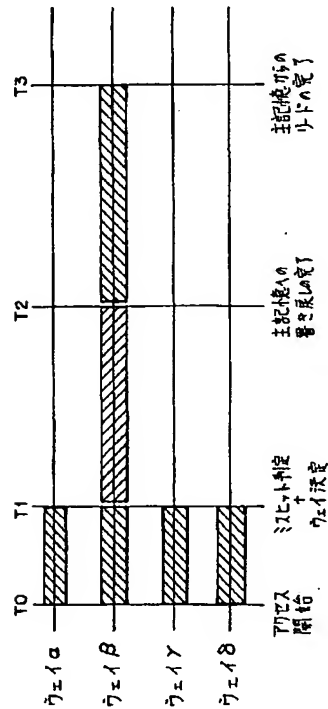
【図22】

第1実施形態におけるウェイ部(キャッシュ機構および切替機構)の構成を示すブロック図



【図23】

第1実施形態の動作を説明するためのタイミングチャート



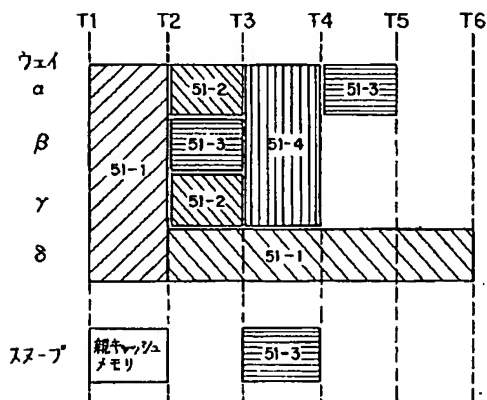
【図24】

第1実施形態において設定される優先ウエイ、および実際に各ウエイで実行されるプロセスの具体例を示す図

優先ウエイ		プロセス実行			
A	B	α	β	γ	δ
α	β	A	B	A	B
α	γ	A	A	B	B
α	δ	A	A	B	B
β	α	B	A	A	B
β	γ	A	A	B	B
β	δ	A	A	B	B
γ	α	B	B	A	A
γ	β	B	B	A	A
γ	δ	A	B	A	B
δ	α	B	B	A	A
δ	β	B	B	A	A
δ	γ	A	B	B	A

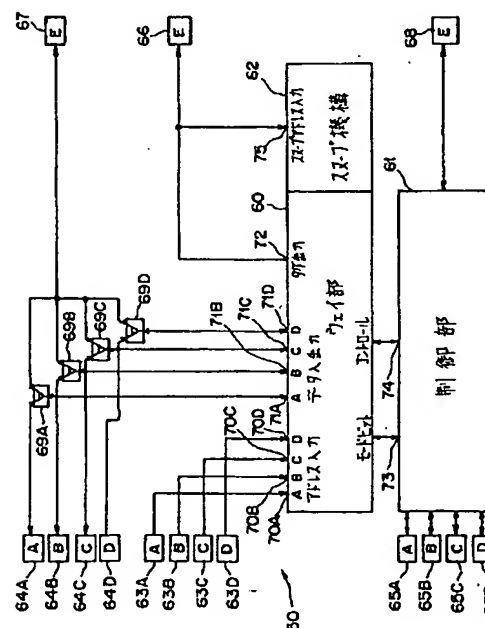
【図31】

第2実施形態の動作を説明するためのタイミングチャート



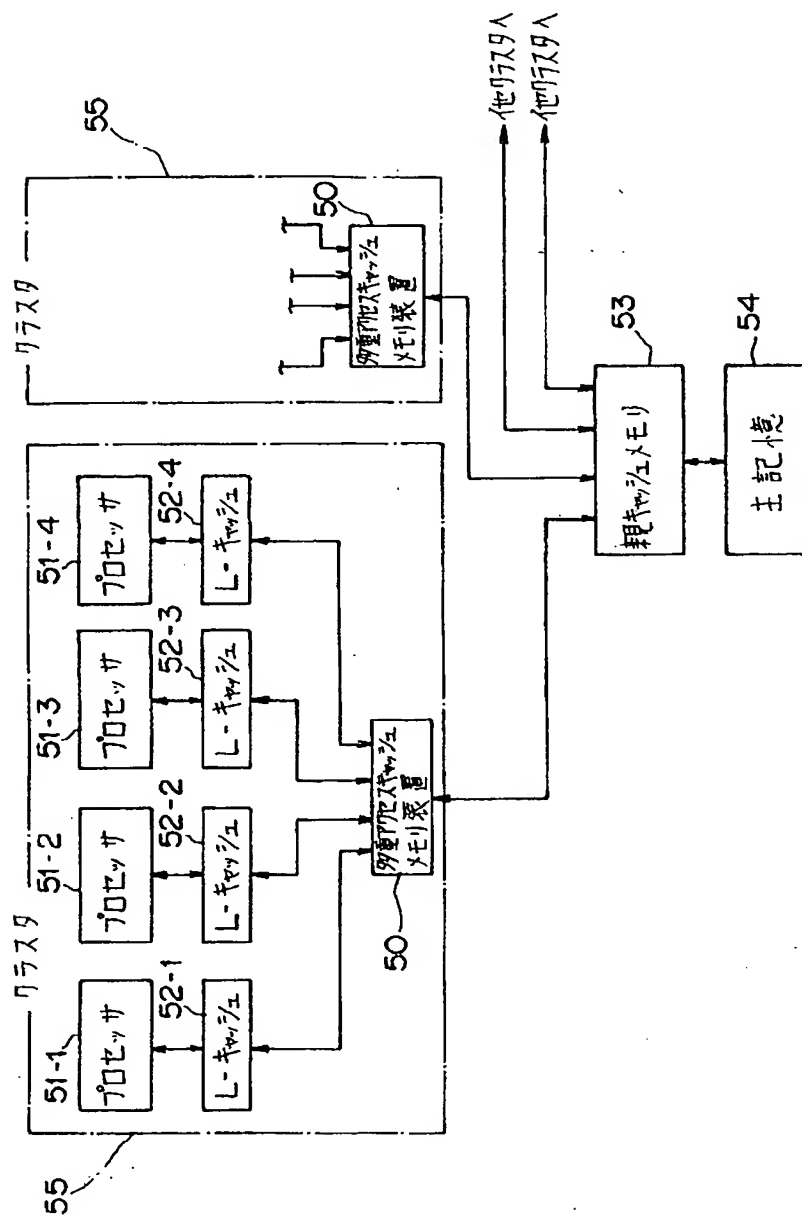
【図26】

本発明の第2実施形態としての多重アドレスキャッシュメモリ装置の全体構成を示すブロック図



【図25】

本発明の第2実施形態を適用されるシステムの全体構成を示すブロック図



【図27】

第2実施形態におけるウェイ部(キャッシュ機構、切替機構およびスプ機構)の構成を示すブロック図

